

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 5 日
Date of Application:

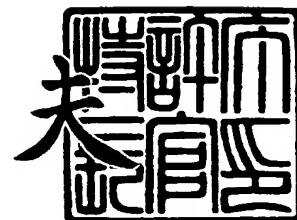
出 願 番 号 特 願 2 0 0 3 - 0 4 7 3 6 5
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 7 3 6 5]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 EP-0431301

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 藤田 信一郎

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 金井 裕之

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 中尾 浩二

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ転送制御システム、電子機器、及びデータ転送制御方法

【特許請求の範囲】

【請求項 1】 バスを介してデータ転送を行うデータ転送制御システムであって、

第 1 のバスを介して転送されてきた第 1 のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、バスリセット発生時点において処理中であったページテーブルエレメントに格納される第 1 のアドレスを記憶するアドレス記憶部と、

バスリセット発生後に第 1 のバスを介して第 2 のコマンドパケットが転送されてきた場合に、第 2 のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、前記第 1 のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納される第 2 のアドレスを読み出し、記憶された第 1 のアドレスと読み出した第 2 のアドレスを比較するアドレス比較部と、

第 1 のアドレスと第 2 のアドレスが同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントからデータ転送を再開する転送再開部と、

を含むことを特徴とするデータ転送制御システム。

【請求項 2】 請求項 1 において、

前記アドレス記憶部が、

ページテーブルの非存在時には、第 1 のコマンドパケットにより直接指定される第 1 の直接アドレスを記憶し、

前記アドレス比較部が、

ページテーブルの非存在時には、第 1 のコマンドパケットにより直接指定される第 1 の直接アドレスと、第 2 のコマンドパケットにより直接指定される第 2 の直接アドレスとを比較し、

前記転送再開部が、

第1の直接アドレスと第2の直接アドレスが同一であると判断された場合に、データ転送を再開することを特徴とするデータ転送制御システム。

【請求項3】 請求項1又は2において、

前記アドレス記憶部が、

第1のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、先頭ページテーブルエレメントから処理中ページテーブルエレメントに至るK個（Kは2以上の整数）のページテーブルエレメントに格納されるK個の第1のアドレスを記憶し、

前記アドレス比較部が、

バスリセット発生後に転送されてきた第2のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、前記K個の第1のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納されるK個の第2のアドレスを読み出し、記憶された前記K個の第1のアドレスと読み出された前記K個の第2のアドレスを比較し、

前記転送再開部が、

K個の第1のアドレスとK個の第2のアドレスが同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントからデータ転送を再開することを特徴とするデータ転送制御システム。

【請求項4】 バスを介してデータ転送を行うデータ転送制御システムであって、

第1のバスを介して転送されてきた第1のコマンドパケットの内容を記憶するコマンド記憶部と、

ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスを記憶するアドレス記憶部と、

バスリセット発生後に第1のバスを介して第2のコマンドパケットが転送されてきた場合に、第1のコマンドパケットの内容と第2のコマンドパケットの内容を比較するコマンド比較部と、

ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスと、第2のコマンドパケットにより直接指定される第2の

直接アドレスとを比較するアドレス比較部と、

ページテーブルの非存在時には、第1、第2のコマンドパケットの内容が同一であり且つ第1、第2の直接アドレスが同一であると判断された場合に、バスリセット発生時点のデータ転送の続きからデータ転送を再開し、ページテーブルの存在時には、第1、第2のコマンドパケットの内容が同一であると判断された場合に、バスリセット発生時点のデータ転送の続きからデータ転送を再開する転送再開部と、

を含むことを特徴とするデータ転送制御システム。

【請求項5】 請求項1乃至4のいずれかにおいて、

第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットにより指示されるコマンドを、第2のバスに接続されるデバイスに対して発行し、第2のバスを介したDMA転送の開始を指示するコマンド処理部と、

前記転送再開部によるデータ転送の再開を行わない場合に、第1のコマンドパケットに基づき第2のバスに接続されるデバイスに対して発行したコマンドを、第1のコマンドパケットに基づき開始したDMA転送の完了後にアボートするコマンドアボート部とを含むことを特徴とするデータ転送制御システム。

【請求項6】 請求項5において、

前記コマンドアボート部が、

DMA転送が完了するまで、第2のバスに接続されるデバイスとの間でダミーデータを転送する制御を行うことを特徴とするデータ転送制御システム。

【請求項7】 請求項6において、

前記コマンドアボート部が、

コマンドをアボートするか否かの判断時においてDMA転送が動作中でなかった場合には、ダミーデータの転送制御を行うことなくコマンドをアボートすることを特徴とするデータ転送制御システム。

【請求項8】 請求項6又は7において、

転送データを一時的に記憶するパケットバッファのポインタをリングバッファ方式で管理し、第2のバスからの転送データがパケットバッファに書き込まれる毎に第1のポインタを更新し、第1のバスへの転送データがパケットバッファか

ら読み出される毎に第2のポインタを更新するポインタ管理部を含み、

前記コマンドアポート部が、

第2のバスからの転送データがパケットバッファに書き込まれる毎に更新される第1のポインタにより、第2のポインタが追い越されないように第2のポインタをダミー更新することで、ダミーデータの転送制御を行うことを特徴とするデータ転送制御システム。

【請求項9】 請求項6乃至8のいずれかにおいて、

転送データを一時的に記憶するパケットバッファのポインタをリングバッファ方式で管理し、第2のバスへの転送データがパケットバッファから読み出される毎に第3のポインタを更新し、第1のバスからの転送データがパケットバッファに書き込まれる毎に第4のポインタを更新するポインタ管理部を含み、

前記コマンドアポート部が、

第2のバスへの転送データがパケットバッファから読み出される毎に更新される第3のポインタにより、第4のポインタが追い越されないように第4のポインタをダミー更新することで、ダミーデータの転送制御を行うことを特徴とするデータ転送制御システム。

【請求項10】 請求項1乃至9のいずれかにおいて、

第1のバスが、IEEE1394規格によりデータ転送が行われるバスであることを特徴とするデータ転送制御システム。

【請求項11】 請求項1乃至10のいずれかのデータ転送制御システムと

データ転送制御システムの第2のバスに接続されるデバイスと、

を含むことを特徴とする電子機器。

【請求項12】 バスを介してデータ転送を行うためのデータ転送制御方法であって、

第1のバスを介して転送されてきた第1のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、バスリセット発生時点において処理中であったページテーブルエレメントに格納される第1のアドレスを記憶し、

バスリセット発生後に第1のバスを介して第2のコマンドパッケージが転送されてきた場合に、第2のコマンドパッケージにより指定されるページテーブルのページテーブルエレメントのうち、前記第1のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納される第2のアドレスを読み出し、記憶された第1のアドレスと読み出した第2のアドレスを比較し、

第1のアドレスと第2のアドレスが同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントからデータ転送を再開することを特徴とするデータ転送制御方法。

【請求項13】 バスを介してデータ転送を行うためのデータ転送制御方法であって、

第1のバスを介して転送されてきた第1のコマンドパッケージの内容を記憶し、ページテーブルの非存在時には、第1のコマンドパッケージにより直接指定される第1の直接アドレスを記憶し、

バスリセット発生後に第1のバスを介して第2のコマンドパッケージが転送されてきた場合に、第1のコマンドパッケージの内容と第2のコマンドパッケージの内容を比較し、

ページテーブルの非存在時には、第1のコマンドパッケージにより直接指定される第1の直接アドレスと、第2のコマンドパッケージにより直接指定される第2の直接アドレスとを比較し、

ページテーブルの非存在時には、第1、第2のコマンドパッケージの内容が同一であり且つ第1、第2の直接アドレスが同一であると判断された場合に、データ転送を再開し、

ページテーブルの存在時には、第1、第2のコマンドパッケージの内容が同一であると判断された場合に、バスリセット発生時点のデータ転送の続きからデータ転送を再開することを特徴とするデータ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御システム、電子機器及びデータ転送制御方法に関する。

【0002】

【背景技術】

近年、IEEE1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE1394では、バスに電子機器が新たに接続されたり、バスから電子機器が取り外されたりして、バスに接続されるノードが増減すると、いわゆるバスリセットが発生する。そしてバスリセットが発生するとノードのトポロジ情報がクリアされ、その後、トポロジ情報が自動的に再設定される。これにより、いわゆるホット状態でのケーブルの抜き差し（ホットプラグ）が可能となるため、一般ユーザは、VTRなどの通常の家庭用電化製品と同じように、電子機器へのケーブルの抜き差しを自由にできるようになる。

【0003】

しかしながら、このバスリセットの発生が要因となって種々の問題が生じる。このような問題を解決する従来技術としては例えば以下のものがある。

【0004】

【特許文献1】

特開2001-177537号公報

【特許文献2】

特開2001-177536号公報

しかしながら、上記の従来技術によっても、将来登場するOS（オペレーティングシステム）やアプリケーションプログラムの仕様によっては、バスリセット時の正常動作を保証できない可能性もある。

【0005】

また例えばハードディスクドライブ（広義にはストレージデバイス。更に広義にはデバイス）に対してコマンドを発行してDMA（Direct Memory Access）転送を開始した後、このDMA転送中にバスリセットが発生すると、ハードディスクドライブがハングアップするなどの問題が生じる可能性もある。

【0006】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、バスリセット時の正常動作を、より確実に保証できるデータ転送制御システム、電子機器及びデータ転送制御方法を提供することにある。

【0007】

【課題を解決するための手段】

本発明は、バスを介してデータ転送を行うデータ転送制御システムであって、第1のバスを介して転送されてきた第1のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、バスリセット発生時点において処理中であったページテーブルエレメントに格納される第1のアドレスを記憶するアドレス記憶部と、バスリセット発生後に第1のバスを介して第2のコマンドパケットが転送されてきた場合に、第2のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、前記第1のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納される第2のアドレスを読み出し、記憶された第1のアドレスと読み出した第2のアドレスを比較するアドレス比較部と、第1のアドレスと第2のアドレスが同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントからデータ転送を再開する転送再開部とを含むデータ転送制御システムに係る。

【0008】

本発明によれば、バスリセット発生時点において処理中であったページテーブルエレメントに格納される第1のアドレスが記憶される。そして、バスリセット後の第2のコマンドパケットで指定されるページテーブルのページテーブルエレメントのうち、第1のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納される第2のアドレスが読み出される。そして第1、第2のアドレスが同一であることを1つの条件として、データ転送が再開される。このようにすることで、バスリセット時に処理中であったページテーブルエレメントからデータ転送を確実に再開できるようになり、より信頼度の高いデータ転送を実現できる。

【0009】

また本発明では、前記アドレス記憶部が、ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスを記憶し、前記アドレス比較部が、ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスと、第2のコマンドパケットにより直接指定される第2の直接アドレスとを比較し、前記転送再開部が、第1の直接アドレスと第2の直接アドレスが同一であると判断された場合に、データ転送を再開するようにしてもよい。

【0010】

このようにすれば、ページテーブルの存在の有無に依存せずに、バスリセット発生時の正常動作を保証できるようになる。

【0011】

また本発明では、前記アドレス記憶部が、第1のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、先頭ページテーブルエレメントから処理中ページテーブルエレメントに至るK個（Kは2以上の整数）のページテーブルエレメントに格納されるK個の第1のアドレスを記憶し、前記アドレス比較部が、バスリセット発生後に転送されてきた第2のコマンドパケットにより指定されるページテーブルのページテーブルエレメントのうち、前記K個の第1のアドレスが格納されるページテーブルエレメントと同一エレメント番号のページテーブルエレメントに格納されるK個の第2のアドレスを読み出し、記憶された前記K個の第1のアドレスと読み出された前記K個の第2のアドレスを比較し、前記転送再開部が、K個の第1のアドレスとK個の第2のアドレスが同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントからデータ転送を再開するようにしてもよい。

【0012】

なお先頭ページテーブルエレメントから処理中ページテーブルエレメントに至るページテーブルエレメントのうち、一部のページテーブルエレメントの比較処理をバスリセットの前後で行って、データ転送の再開処理を行うようにしてもよい。

【0013】

また本発明は、バスを介してデータ転送を行うデータ転送制御システムであって、第1のバスを介して転送されてきた第1のコマンドパケットの内容を記憶するコマンド記憶部と、ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスを記憶するアドレス記憶部と、バスリセット発生後に第1のバスを介して第2のコマンドパケットが転送されてきた場合に、第1のコマンドパケットの内容と第2のコマンドパケットの内容を比較するコマンド比較部と、ページテーブルの非存在時には、第1のコマンドパケットにより直接指定される第1の直接アドレスと、第2のコマンドパケットにより直接指定される第2の直接アドレスとを比較するアドレス比較部と、ページテーブルの非存在時には、第1、第2のコマンドパケットの内容が同一であり且つ第1、第2の直接アドレスが同一であると判断された場合に、バスリセット発生時点のデータ転送の続きからデータ転送を再開し、ページテーブルの存在時には、第1、第2のコマンドパケットの内容が同一であると判断された場合に、バスリセット発生時点のデータ転送の続きからデータ転送を再開する転送再開部とを含むデータ転送制御システムに係る。

【0014】

本発明によれば、ページテーブルの非存在時には、第1、第2のコマンドパケットの内容が同一であり且つ第1、第2の直接アドレスが同一の場合に、データ転送の再開処理が行われる。一方、ページテーブルの存在時には、第1、第2のコマンドパケットの内容が同一である場合に、データ転送の再開処理が行われる。このようにすることで、ページテーブル存在時に、ページテーブルエレメントに格納されるアドレスの比較処理を行わなくて済むようになり、処理負荷を軽減できる。また第1、第2のコマンドパケットの内容が同一であることを条件にデータ転送の再開処理が行われるため、バスリセットの発生時点のデータ転送から、適正にデータ転送を再開できるようになる。

【0015】

また本発明では、第1のバスを介して転送されてきたコマンドパケットを受け、コマンドパケットにより指示されるコマンドを、第2のバスに接続されるデバイスに対して発行し、第2のバスを介したDMA転送の開始を指示するコマンド

処理部と、前記転送再開部によるデータ転送の再開を行わない場合に、第1のコマンドパケットに基づき第2のバスに接続されるデバイスに対して発行したコマンドを、第1のコマンドパケットに基づき開始したDMA転送の完了後にアボートするコマンドアボート部とを含むようにしてもよい。

【0016】

本発明では、第1のバスから転送されてきたコマンドパケットにより指示されるコマンドが、第2のバスに接続されるデバイスに対して発行され、DMA転送の開始が指示される。そして、第2のバスに接続されるデバイスに発行したコマンドが、DMA転送の完了後にアボート（中止、キャンセル）される。これにより、DMA転送が不正に終了することで第2のバスに接続されるデバイスがハングアップする事態等を防止でき、デバイスに発行したコマンドを適正にアボートできるようになる。なお、例えば、第1のバスは、第1のインターフェース規格に準拠したデータ転送を行うためのバスであり、第2のバスは、第2のインターフェース規格に準拠したデータ転送を行うためのバスである。

【0017】

また本発明では、前記コマンドアボート部が、DMA転送が完了するまで、第2のバスに接続されるデバイスとの間でダミーデータを転送する制御を行うようにしてもよい。

【0018】

この場合のダミーデータの転送制御は、転送データを一時的に記憶するパケットバッファのポインタをダミー更新することで実現してもよいし、ダミーデータ転送用のハードウェアを設けて実現してもよい。また、ダミーデータは、例えば、第2のバスを介して転送される一方で、第1のバスを介して転送されないデータである。

【0019】

また本発明では、前記コマンドアボート部が、コマンドをアボートするか否かの判断時においてDMA転送が動作中でなかった場合には、ダミーデータの転送制御を行うことなくコマンドをアボートするようにしてもよい。

【0020】

このようにすることで、ダミーデータの転送制御の処理を省略でき、処理の効率化を図れる。

【0021】

また本発明では、転送データを一時的に記憶するパケットバッファのポインタをリングバッファ方式で管理し、第2のバスからの転送データがパケットバッファに書き込まれる毎に第1のポインタを更新し、第1のバスへの転送データがパケットバッファから読み出される毎に第2のポインタを更新するポインタ管理部を含み、前記コマンドアポート部が、第2のバスからの転送データがパケットバッファに書き込まれる毎に更新される第1のポインタにより、第2のポインタが追い越されないように第2のポインタをダミー更新することで、ダミーデータの転送制御を行うようにしてもよい。

【0022】

また本発明では、転送データを一時的に記憶するパケットバッファのポインタをリングバッファ方式で管理し、第2のバスへの転送データがパケットバッファから読み出される毎に第3のポインタを更新し、第1のバスからの転送データがパケットバッファに書き込まれる毎に第4のポインタを更新するポインタ管理部を含み、前記コマンドアポート部が、第2のバスへの転送データがパケットバッファから読み出される毎に更新される第3のポインタにより、第4のポインタが追い越されないように第4のポインタをダミー更新することで、ダミーデータの転送制御を行うようにしてもよい。

【0023】

また本発明では、第1のバスが、IEEE1394規格によりデータ転送が行われるバスであってもよい。

【0024】

また本発明は、上記のいずれかのデータ転送制御システムと、データ転送制御システムの第2のバスに接続されるデバイスとを含む電子機器に関係する。

【0025】

【発明の実施の形態】

以下、本発明の実施形態について詳細に説明する。

【0026】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0027】

1. IEEE 1394、SBP-2

1. 1 層構造

IEEE 1394のトランザクション層の一部の機能を含む上位のプロトコルとして、SBP-2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。このSBP-2 (広義にはSBP) は、SCSI (SPC-2) のコマンドセットをIEEE 1394のプロトコル上で利用可能にするために提案されたものである。このSBP-2を用いれば、既存のSCSI規格対応の電子機器で使用されていたコマンドセットに最小限の変更を加えて、IEEE 1394規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。

【0028】

図1に、IEEE 1394、SBP-2の層構造 (プロトコル・スタック) を簡略化して示す。IEEE 1394 (IEEE 1394-1995、P1394a、P1394b等) のプロトコルは、トランザクション層、リンク層、物理層により構成される。

【0029】

トランザクション層は、上位層にトランザクション単位のインターフェース (サービス) を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

【0030】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。SBP-2層は、図1に示すように、IEEE1394（広義には第1のインターフェース規格）のトランザクション層の一部の機能を含む上位のプロトコルを提供する。

【0031】**1. 2 SBP-2の処理**

図2に、SBP-2（広義には第1のインターフェース規格の上位の第1のプロトコル）の処理の全体についてのフローチャートを示す。

【0032】

図2に示すように、SBP-2では、まず、接続機器の確認を行うためのコンフィギュレーションROMのリード処理が行われる（ステップT1）。

【0033】

次に、イニシエータ（例えばパーソナルコンピュータ）が、ターゲット（例えばストレージデバイス）に対するアクセス権（リクエスト開始の許可。バスの使用权）を獲得するためのログイン処理が行われる（ステップT2）。具体的には、イニシエータにより作成されたログインORB（Operation Request Block）を用いてログイン処理が行われる。

【0034】

次に、フェッチエージェントの初期化が行われる（ステップT3）。そして、コマンドブロックORB（ノーマルコマンドORB）を用いてコマンド処理が行われ（ステップT4）、最後に、ログアウトORBを用いてログアウト処理が行われる（ステップT5）。

【0035】

ここで、ステップT4のコマンド処理においては、図3のA1に示すように、イニシエータがライト要求パケットを転送して（ライト要求トランザクションを発行して）、ターゲットのドアベルレジスタをリングする。すると、A2に示す

ように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータが作成したORB（コマンドブロックORB）が、ターゲットのデータバッファ（パケットバッファ）にフェッチされる。そして、ターゲットは、フェッチされたORBに含まれるコマンドを解析する。

【0036】

そして、ORBに含まれるコマンドがSCSIのライトコマンドであった場合には、A3に示すように、ターゲットがリード要求パケットをイニシエータに転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータがターゲットに転送される。そして、例えばターゲットがストレージデバイスであった場合には、転送されたデータがストレージデバイスに書き込まれる。

【0037】

一方、ORBに含まれるコマンドがSCSIのリードコマンドであった場合には、図4のB1に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットがストレージデバイスであった場合には、ストレージデバイスから読み出されたデータが、イニシエータのデータバッファに転送されることになる。

【0038】

このSBP-2によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して（トランザクションを発行して）、データを送受信できる。従って、イニシエータとターゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

【0039】

なお、IEEE1394の上位プロトコルとしては、ストレージデバイスやプリンタのデータの転送に最適なSBP-2以外にも、映像や音声のデータの転送に最適なAV/Cコマンドが提案されている。また、IEEE1394バス上で、インターネットプロトコル（IP）のパケットを転送するものとしてIP over 1394と呼ばれるプロトコルも提案されている。

【0040】

なお、ターゲット、イニシエータ間でデータ転送を行う場合、図5（A）のようにイニシエータ（パーソナルコンピュータ、相手ノード）のデータバッファにページテーブルが存在する場合と、存在しない場合がある。

【0041】

そして、ページテーブルが存在する場合には、図5（B）に示すように、イニシエータが作成したORBの中には、そのページテーブルのデータバッファ（イニシエータ）上でのアドレスや、ページテーブルのエレメント数（ページテーブルエレメントの個数）が含まれる。そして、転送データのアドレス（先頭アドレス、読み出しアドレス、書き込みアドレス）は、このページテーブルを用いて間接アドレス指定される。より具体的には、ページテーブルは複数のページテーブルエレメントにより構成され、各ページテーブルエレメントはエレメント番号により指定される。そして転送データの各セグメントデータのデータバッファ（イニシエータ）上でのアドレスは、ページテーブルの各ページテーブルエレメントに格納されるアドレスにより指定される。

【0042】

一方、ページテーブルが存在しない場合には、図5（C）に示すように、ORBの中にアドレスとデータ長が含まれる。そして、ORBに含まれるアドレスにより転送データのアドレスが直接アドレス指定される。なおページテーブルが存在するか否かは、ORBが含むページテーブル存在フラグを用いて判断できる。

【0043】**1. 3 バスリセット**

IEEE1394では、電源が投入されたり、途中でデバイスの抜き差しが発生すると、バスリセットが発生（発行）する。即ち、各ノードは、ポートの電圧変化を監視している。そして、バスに新たなノードが接続されるなどしてポートの電圧に変化が生じると、この変化を検知したノードは、バス上の他のノードに対して、バスリセットが発生したことを知らせる。また、各ノードの物理層は、バスリセットが発生したことをリンク層に伝える。

【0044】

そして、このようにバスリセットが発生すると、トポロジ情報（ノード ID 等）がクリアされる。そして、その後、トポロジ情報が自動的に再設定される。即ち、バスリセット後、ツリー識別、自己識別が行われる。その後、アイソクロナスリソースマネージャ、サイクルマスタ、バスマネージャ等の管理ノードが決定される。そして、通常の packets 転送が再開される。

【 0 0 4 5 】

このように IEEE 1394 では、バスリセット後にトポロジ情報が自動的に再設定されるため、電子機器のケーブルを自由に抜き差しできるようになり、いわゆるホットプラグを実現できる。

【 0 0 4 6 】

なお、トランザクションの途中でバスリセットが発生した場合には、そのトランザクションはキャンセルされる。そして、キャンセルされたトランザクションを発行した要求ノードは、トポロジ情報が再設定された後に、要求 packets を再度転送する。また、応答ノードは、バスリセットによりキャンセルされたトランザクションの応答 packets を要求ノードに返送してはならない。

【 0 0 4 7 】

1. 4 バスリセット時の問題点

さて、バスリセットがデータ転送中に発生すると以下のような問題が生じる。例えば図 6（A）に示すように、C 1 に示す位置（アドレス）までデータを転送したところで、バスリセットが発生したとする。この場合には、バスリセット発生時点で処理中であったトランザクションは全てキャンセルされる。従って、バスリセット発生前の ORB 1 によりデータの転送を要求していたパーソナルコンピュータ等のイニシエータは、図 6（B）に示すように、バスリセット発生後に ORB 2 を再度作成して、データの転送を最初からやり直すようにデバイス（ストレージデバイス、プリンタデバイス、スキャナデバイス、或いは撮像デバイス等）に指示する。このため、図 6（B）の C 2 に示す位置からデータ転送が再開されてしまい、データが二重に転送される問題が生じる。

【 0 0 4 8 】

このような問題を解決するために特開平 2 0 0 1 - 1 7 7 5 3 7 号の従来技術

では、バスリセット前のORB（以下、適宜ORB1と呼ぶ）と、バスリセット後のORB（以下、適宜ORB2と呼ぶ）の内容を比較し、ORB1とORB2が同一内容ならば図6（B）のC3に示す位置からデータ転送を再開する手法を採用している。また特開平2001-177536号の従来技術では、バスリセット前の転送データ（ページテーブルで転送される全転送データ）の先頭アドレスADS1と、バスリセット後の転送データの先頭アドレスADS2を比較し、ADS1とADS2が同一であればC3に示す位置からデータ転送を再開する手法を採用している。

【0049】

このようにORB1とORB2の比較結果やADS1とADS2の比較結果に基づいてデータ転送を再開しても、現在の仕様のOS（オペレーティングシステム）においては問題は生じない。しかしながら、将来登場するOS（オペレーティングシステム）やアプリケーションプログラムの仕様によっては、バスリセット時の正常動作の確実な保証を実現できない可能性がある。

【0050】

例えば図6（A）においてC4に示すセグメントデータを転送した後にバスリセットが発生したとする。この時、先頭アドレスであるADS1とADS2が同じであったとしても、データ転送を再開してはならない場合がある。具体的には、OSのMMU（メモリ・マネージメント・ユニット）の動作の仕方によっては、バスリセット前のORB1で指定されるページテーブルに格納されるアドレスが例えばAD1、AD2、AD3、AD4・・・であるのに対して、バスリセット後のORB2で指定されるページテーブルに格納されるアドレスが例えばAD1、AD5、AD6、AD7となってしまう場合も考えられる。このような場合には、たとえ先頭アドレス（AD1）が同じであっても、データ転送を再開してはならない。従って、先頭アドレスの比較処理だけで、データ転送再開処理の可否を決めると、バスリセット後の正常動作を保証できない可能性がある。

【0051】

また従来技術では次のような問題が生じる可能性もある。例えば、ORB1が図3に示すようなSCSI（SPC-2）のライトコマンドを含んでおり、この

ライトコマンドに基づくデータ転送中にバスリセットが発生したとする。この場合に、バスリセット後に、パーソナルコンピュータのOSが、FAT（ファイルアロケーションテーブル）の内容を調べるために、FATのリードコマンドを含むORB2を送ってくる場合がある。

【0052】

この場合には、バスリセット前のORB1ではデータのライトコマンドが指示され、バスリセット後のORB2ではFATのリードコマンドが指示されており、ORB1とORB2の内容が異なる。従って、後段のストレージデバイスに対して既に発行したORB1のライトコマンドを、アボートする必要がある。

【0053】

ところが、バスリセット前のORB1のライトコマンドに基づいて既にDMA転送が開始されている場合に、このライトコマンドをアボートすると、後段のストレージデバイスがハングアップしてしまう可能性がある。

【0054】

2. 全体構成

以上のような問題を解決できるデータ転送制御システム及びこれを含む電子機器の構成例を図7に示す。なお、以下では、デバイス100がストレージデバイス（ハードディスクドライブ、CDドライブ、DVDドライブ等）である場合について主に例にとり説明するが、本発明ではこれに限定されず、プリンタデバイス、スキャナデバイス、或いは撮像デバイスなどの種々のデバイスに適用できる。

【0055】

データバッファ4を有するパーソナルコンピュータ（ホストコンピュータ）2と電子機器8は、IEEE1394に準拠したBUS1（第1のバス）により接続される。そして、電子機器8は、データ転送制御システム10とデバイス100（ストレージデバイス、プリンタデバイス、スキャナデバイス等）を有する。

【0056】

なお、電子機器8には、図示しないシステムCPU、システムメモリ（ROM、RAM）、操作部、或いは信号処理デバイス等を含めることができる。

【0057】

データ転送制御システム10は、物理層(PHY)回路14、リンク層回路20、SBP-2回路22、インターフェース回路30、パケット管理回路38、パケットバッファ40(データバッファ)を含む。また、CPU42、フラッシュメモリ44(EEPROM)を含む。また、フラッシュメモリ44にその処理モジュール(プログラム)が記憶され、CPU42(広義にはプロセッサ)により実行されるファームウェア50を含む。なお、本実施形態のデータ転送制御システム10は、図7に示す全ての回路ブロック、機能ブロックを含む必要はなく、その一部を省略してもよい。

【0058】

物理層回路14は、図1の物理層のプロトコルをハードウェアにより実現するための回路であり、リンク層回路20により使用されるロジカルシンボルを電気信号に変換する機能を有する。

【0059】

リンク(&トランザクション)層回路20は、図1のリンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現するための回路であり、ノード間でのパケット転送のための各種サービスを提供する。

【0060】

これらの物理層回路14、リンク層回路20の機能により、IEEE1394に準拠したデータ転送を、BUS1(第1のバス)を介してパーソナルコンピュータ2(広義には電子機器)との間で行うことが可能になる。

【0061】

SBP-2回路22(広義には転送実行回路)は、SBP-2のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。このSBP-2回路22の機能により、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理が可能になる。

【0062】

インターフェース回路30は、デバイス100とのインターフェース処理を行う回路である。このインターフェース回路30の機能により、ATA(AT Attac

hment)、ATAPI (ATA Packet Interface) に準拠したデータ転送を、BUS 2 (第2のバス) を介してデバイス100との間で行うことが可能になる。

【0063】

そして、図7のように物理層回路14、リンク層回路20、インターフェース回路30を設けることで、IEEE1394 (広義には第1のインターフェース規格) とATA (IDE) /ATAPI (広義には第2のインターフェース規格) の変換ブリッジ機能をデータ転送制御システム10に持たせることが可能になる。

【0064】

インターフェース回路30が含むDMAコントローラ32は、BUS 2を介してデバイス100との間でDMA (Direct Memory Access) 転送を行うための回路である。なお、BUS 2に接続されるデバイス100は、ATA (IDE) /ATAPI に準拠したデータ転送を行うためのインターフェース回路102と、ストレージ106へのアクセス制御 (書き込み又は読み出し制御) を行うアクセス制御回路104と、ハードディスク、光ディスク、メモリなどのストレージ106を含む。

【0065】

バッファ管理回路38は、パケットバッファ40とのインターフェースを管理する回路である。バッファ管理回路38は、バッファ管理回路38の制御のためのレジスタ、パケットバッファ40へのバス接続を調停する調停回路、各種の制御信号を生成するシーケンサなどを含む。

【0066】

また、バッファ管理回路38はポインタ管理部39を含む。このポインタ管理部39は、パケットバッファ40のポインタをリングバッファ方式で管理し、書き込み用、読み込み用の複数のポインタを更新する処理を行う。

【0067】

パケットバッファ40 (パケットメモリ、データバッファ) は、パケット (転送データ) を一時的に格納するためのバッファであり、SRAM、SDRAM、或いはDRAMなどのハードウェアにより構成される。なお、本実施形態では、

パケットバッファ 40 は、ランダムアクセス可能なパケット記憶部として機能する。また、パケットバッファ 40 を、データ転送制御システム 10 に内蔵せず、外付けにしてもよい。

【0068】

CPU 42（広義にはプロセッサ）は、装置全体の制御やデータ転送の制御を行うものである。フラッシュメモリ 44（EEPROM）は、電氣的にデータの書き換えが可能な不揮発性メモリである。このフラッシュメモリ 44 には、ファームウェア 50 の処理モジュール（プログラム）が記憶される。

【0069】

ファームウェア 50 は、CPU 42 上で動作する種々の処理モジュール（処理ルーチン）を含むプログラムであり、トランザクション層等のプロトコルは、このファームウェア 50 と、ハードウェアである CPU 42 等により実現される。

【0070】

ファームウェア 50（F/W）は、コミュニケーション部 52、マネージメント部 60、フェッチ部 70、タスク部 80 を含む。なお、ファームウェア 50 は、これらの全ての機能ブロックを含む必要はなく、その一部を省略してもよい。

【0071】

ここで、コミュニケーション部 52 は、物理層回路 14、リンク層回路 20 などのハードウェアとの間のインターフェースとして機能する処理モジュールである。

【0072】

マネージメント部 60（マネージメントエージェント）は、ログイン、リコネクト、ログアウト、リセット等の管理を行う処理モジュールである。例えばインシエータがターゲットにログインを要求した場合には、まず、このマネージメント部 60 が、このログイン要求を受け付けることになる。

【0073】

フェッチ部 70（フェッチエージェント）は、ORB（Operation Request Block）受信と、ステータスの発行と、タスク部 80 へのコマンド処理依頼を行う処理モジュールである。フェッチ部 70 は、単一の要求しか扱うことができない

マネージメント部 60 とは異なり、イニシエータからの要求により自身がフェッチした ORB のリンクリストも扱うことができる。

【0074】

タスク部 80 は、ORB が含むコマンドの処理と DMA 転送処理を実行するための処理モジュールである。

【0075】

フェッチ部 70 は、判断部 72、コマンド記憶部 73、コマンド比較部 74、アドレス記憶部 75、アドレス比較部 76、転送再開部 77 を含む。

【0076】

ここで判断部 72 は、ORB（広義にはコマンドパケット、データ転送オペレーション要求のためのコマンドパケット。明細書中の他の説明でも同様）によるデータ転送処理中にバスリセット（ノードのトポロジ情報をクリアするリセット）が発生したか否かを判断する処理を行う。

【0077】

コマンド記憶部 73 は、バスリセットの発生前にイニシエータから転送されてきた ORB 1（第 1 のコマンドパケット）の内容を、バスリセットが発生した時点やリコネクトが成功した時点などで記憶するための処理を行う。

【0078】

コマンド比較部 74 は、バスリセットの発生前に BUS 1 を介してイニシエータから転送されてきた ORB 1 の内容（コマンド記憶部 73 により記憶された内容）と、バスリセットの発生後に BUS 1 を介してイニシエータから転送されてきた ORB 2 の内容とを比較する処理を行う。

【0079】

アドレス記憶部 75 は、アドレス（間接アドレス、直接アドレス）の記憶処理を行う。より具体的には、ページテーブル存在時（ページテーブル存在フラグがアクティブ）においては、ORB 1 により指定されるページテーブル（図 5（B）参照）のページテーブルエレメントのうち、バスリセット発生時点において処理中であったページテーブルエレメント PEK 1 に格納されるアドレス ADK 1（第 1 のアドレス）を記憶する。なお、アドレス記憶部 75 は、ページテーブル

非存在時（ページテーブル存在フラグが非アクティブ）においては、ORB 1により直接指定（図5（C）参照）される転送データのアドレスDAD 1（第1の直接アドレス）を記憶する。

【0080】

アドレス比較部76は、アドレスの比較処理（第1、第2のアドレスの比較処理、第1、第2の直接アドレスの比較処理）を行う。より具体的には、ページテーブル存在時には、バスリセット後のORB 2により指定されるページテーブルのページテーブルエレメントのうち、上述のADK 1が格納されるページテーブルエレメントPEK 1と同一エレメント番号のページテーブルエレメントPEK 2に格納されるアドレスADK 2を読み出す。そして、アドレス記憶部75に記憶されたADK 1（第1のアドレス）と、読み出したADK 2（第2のアドレス）を比較する。なお、アドレス比較部76は、ページテーブル非存在時には、アドレス記憶部75に記憶されるDAD 1（第1の直接アドレス）と、ORB 2により直接指定されるDAD 2（第2の直接アドレス）を比較する。

【0081】

転送再開部77はデータ転送の再開処理を行う。より具体的にはORB 1（第1のコマンドパケット）とORB 2（第2のコマンドパケット）の内容が同一であったり、ADK 1（第1のアドレス）とADK 2（第2のアドレス）が同一であると判断された場合等に、バスリセット発生時点のデータ転送の続きからデータ転送を再開する処理を行う。更に具体的には、ADK 1（第1のアドレス）とADK 2（第2のアドレス）が同一であると判断された場合に、バスリセット発生時点において処理中であったページテーブルエレメントについてのデータ転送の再開処理を行う。なおページテーブル非存在時には、DAD 1（第1の直接アドレス）とDAD 2（第2の直接アドレス）が同一であると判断された場合に、データ転送の再開処理を行う。

【0082】

タスク部80は、コマンド処理部82、コマンドアボート部84を含む。ここでコマンド処理部82は、BUS 1（IEEE 1394等の第1のインターフェース規格の第1のバス）を介して転送されてきたORB（広義にはコマンドパケ

ット、データ転送オペレーション要求のためのコマンドパケット) についての種々の処理を行う。具体的には、BUS 1 からのORBを受け、ORBが含むコマンド(SCSI、-2のコマンド)を、BUS 2 (ATA/ATAPI等の第2のインターフェース規格の第2のバス) に接続されるデバイス100 (ストレージデバイス) に対して発行し、BUS 2 を介したDMA転送(CPUを介在させないデータ転送) の開始を指示する。

【0083】

コマンドアポート部84は、ORBに基づきデバイス100に対して発行したコマンド(SCSIのリードコマンド、ライトコマンド等)を、そのORB(コマンド)に基づき開始したDMA転送(連続したデータ転送)の完了後にアポートする。

【0084】

より具体的にはコマンドアポート部84は、データ転送の再開処理を行わない場合(バスリセット前のORB1とバスリセット後のORB2の内容が異なると判断された場合や、ORB1、ORB2で間接指定又は直接指定されるアドレスが異なると判断された場合等)に、ORB1に基づきデバイス100に対して発行したコマンドを、そのORB1(コマンド)に基づき開始したDMA転送の完了後にアポート(中止、キャンセル)する。

【0085】

この場合、コマンドアポート部84は、ORBに基づき開始したDMA転送が完了するまで、デバイス100との間でダミーデータが転送されるように制御を行う。

【0086】

即ち、バスの変換ブリッジ機能を有する本実施形態のデータ転送制御システム10では、通常は、デバイス100からBUS 2 を介して転送されてきたデータは、BUS 1 を介してパーソナルコンピュータ2に転送される。また、パーソナルコンピュータ2からBUS 1 を介して転送されてきたデータは、BUS 2 を介してデバイス100に転送される。

【0087】

これに対して、ダミーデータの転送時には、デバイス100からBUS 2を介してダミーデータがデータ転送制御システム10に転送される一方で、このダミーデータはパーソナルコンピュータ2に転送されない。また、パーソナルコンピュータ2からBUS 1を介してデータがデータ転送制御システム10に転送されなくても、BUS 2を介してデバイス100にダミーデータを転送する。

【0088】

なお、コマンドアボート部84でのアボート処理は、バスリセット後に行われるリコネクト処理が終了した後に行われる。

【0089】

3. 処理の詳細

次に、本実施形態の処理の詳細について図8、図9、図10、図11のフローチャート等を用いて説明する。

【0090】

3.1 全体処理

図8は、本実施形態の全体的な処理を示すフローチャートである。SBP-2の処理中に、コマンドCMD 1を含むORB 1を受信すると（ステップS 1）、バスリセットが発生したか否かを判断する（ステップS 2）。そして、バスリセットが発生していない場合には、図12のD 1に示すように、デバイス100（ストレージデバイス）に対して、ORB 1に含まれるコマンドCMD 1を発行する（ステップS 3）。

【0091】

即ち、SBP-2では、SCSI（SPC-2）に類似したコマンド（リード、ライト、モードセンス、モードセレクト等）が使用されており、デバイス100（ストレージデバイス）は、これらのコマンドを用いて、リード、ライトなどの動作を行う。本実施形態のデータ転送制御システム10は、ORB 1に含まれるコマンドCMD 1を取り出し、このCMD 1を、インターフェース回路30、BUS 2（ATA/ATAPI）を介してデバイス100に発行する。

【0092】

CMD 1を発行した後、バスリセットが発生したか否かを判断する（ステップ

S4)。そして、バスリセットが発生していない場合には、BUS 2 を介してデバイス 100 から DMARQ が来たか否かを判断する（ステップ S5）。

【0093】

即ち、ATA/ATAPI に準拠する BUS 2 では、後述するように、DMA 転送要求である DMARQ や DMARQ に対するアクノリッジである DMACK などの信号が定義されている。そして、デバイス 100 のインターフェース回路 102 が DMARQ をアクティブにした後、データ転送制御システムのインターフェース回路 30 が DMACK をアクティブにすると、DMA 転送が開始することになる。

【0094】

DMARQ が来ていない場合には、バスリセットが発生したか否かを判断する（ステップ S6）。そして、バスリセットが発生していない場合には、DMARQ が来たか否かを判断し、DMARQ が来るまでステップ S5、S6 の判断を繰り返す。

【0095】

DMARQ が来ると、DMACK をアクティブにする処理等を行って、DMA 転送の開始を指示する（ステップ S7）。そして、図 12 の D2、D3 に示すように、BUS 1（IEEE 1394）、BUS 2（ATA/ATAPI）を介したデータ転送が行われるようになる。

【0096】

ここで、BUS 1 を介したデータ転送は、物理層回路 14、リンク層回路 20、SBP-2 回路 22 などにより実現される。このデータ転送により、パーソナルコンピュータ 2 のデータバッファ 4 のデータがパケットバッファ 40 に書き込まれたり、パケットバッファ 40 のデータがデータバッファ 4 に読み込まれる。

【0097】

一方、BUS 2 を介したデータ転送は、インターフェース回路 30 などにより実現される。このデータ転送により、パケットバッファ 40 のデータが、デバイス 100 のストレージ 106 に書き込まれたり、ストレージ 106 のデータがパケットバッファ 40 に読み込まれる。

【0098】

次に、バスリセットが発生したか否かを判断し（ステップS8）、DMA転送が完了すると（ステップS9）、ORB1についてのコマンド処理を終了し（ステップS10）、ORB1のステータスをパーソナルコンピュータ2に対して伝える（ステップS11）。このようにして、ORB1についての一連のコマンド処理が終了する。

【0099】**3. 2 バスリセット時処理**

図8のステップS2、S4、S6、S8でバスリセットが発生したと判断されると、バスリセット時処理が行われる（ステップS12）。図9、図10に、このバスリセット時処理のフローチャートを示す。

【0100】

まず図12のD4に示すようにイニシエータからのリコネクトを待つリコネクト処理が行われる（ステップS21）。

【0101】

即ち、SBP-2においては、バスリセット前にログインしていたイニシエータは、バスリセット後、一定期間の間は、優先的にそのターゲットに対してリコネクトできる。バスリセット後に、このリコネクト処理を行うことで、イニシエータは、そのターゲットに対するアクセス権（バス使用权）を専有できる。

【0102】

そしてリコネクトが成功しなかった場合には（ステップS22）、図10のステップS42に移行する。一方、リコネクトが成功した場合には、後段のデバイス100との間でORBの転送データを転送したか否かを判断する（ステップS23）。そして、1バイトもデータを転送していなかった場合には継続フラグをオフにする（ステップS24）。

【0103】

一方、1バイトでもデータを転送していた場合には、ORBの内容（データサイズ、ページテーブル存在フラグP、コマンドブロック等）や、バスリセット発生時点までに転送できたデータのサイズを記憶する（ステップS25）。このデ

ータサイズは、バスリセット発生時点で後段のデバイス100との間で既に転送したデータのバイト数と、バスリセット発生時点でIEEE1394のバス上でのデータ転送は既に完了し、後段のデバイス100との間で転送中又はこれから転送する予定のデータのバイト数の合計に相当する。

【0104】

次に、ページテーブルが存在するか否かを判断し（ステップS26）、存在しない場合には、ORBのデータデスクリプタの内容を記憶する（ステップS27）。即ち、ページテーブルが存在しない場合には、直接アドレス指定の場合の転送データのアドレスDAD1（第1の直接アドレス）及びデータ長DDL1が記憶される（図5（C）参照）。

【0105】

一方、ページテーブルが存在する場合には、バスリセット発生時点で処理中だったページテーブルエレメントPEK1の内容（アドレスADK1、データ長DLK1）及びエレメント番号を記憶する（ステップS28）。そして、継続フラグをオンにする（ステップS29）。

【0106】

3.3 コマンド比較処理、アドレス比較処理

次に、コマンドCMD2を含むORB2を受信すると（ステップS30）、図12のD5や図13に示すように、バスリセット前のORB1（CMD1）とバスリセット後のORB2の内容を比較するコマンド比較処理や、バスリセット前の転送データのアドレスADK1とバスリセット後の転送データのアドレスADK2を比較するアドレス比較処理を行う。

【0107】

ここでコマンド比較処理は次のように行われる。即ち図14に示すように本実施形態では、ORBが含むページテーブル存在フラグPや、データサイズや、コマンドブロック（コマンドセット）フィールドの中のオペレーションコード（ライトコマンド、リードコマンドなどを区別するコード）やデータ長を比較している。またORBが、ORBの識別情報（例えば順序番号）を含む場合には、この識別情報を比較してもよい。なお、ページテーブルを使用していない場合はデー

タディスクリプタの値を比較し、ページテーブルを使用している場合は、セグメント数を比較する。以上のような情報を比較することで、バスリセット前のORB 1 とバスリセット後のORB 2 が同一か否かを簡素な処理で確実に判断できる。

【0 1 0 8】

またアドレス比較処理は次のように行われる。即ち従来例では図 6 (A)、(B) に示すように、ページテーブルで指定される全転送データの先頭アドレスADS 1、ADS 2 を比較していた。これに対して本実施形態では図 1 5 に示すように、バスリセット時に処理中であったページテーブルエレメントに格納されるアドレスADK 1 と、それに対応するADK 2 を比較している。つまりバスリセット時に転送中であったF 1 に示すセグメントデータのアドレスを比較している。

【0 1 0 9】

ページテーブルは図 1 6 に示すように複数のページテーブルエレメント (PE 1 1 ~PEM 1、PE 1 2 ~PEM 2) により構成され、各ページテーブルエレメントはエレメント番号により順次指定される。そしてページテーブルを用いるデータ転送は、図 5 (B) で説明したように、ページテーブルエレメントに格納されるアドレス (AD 1 1 ~ADM 1、AD 1 2 ~ADM 2) を例えばエレメント番号の順に読み出して、読み出されたアドレスを用いて転送データの位置を間接アドレス指定することで行われる。

【0 1 1 0】

そして本実施形態では、BUS 1 (第 1 のバス) を介して転送されてきたORB 1 (第 1 のコマンドパケット) によりアドレス指定されるページテーブルのページテーブルエレメントのうち、バスリセット発生時点において処理中であったページテーブルエレメントPEK 1 に格納されるアドレスADK 1 (第 1 のアドレス) を記憶しておく。つまり、バスリセット時に転送中であったF 1 のセグメントデータについてのアドレスを記憶しておく。

【0 1 1 1】

そしてバスリセット後にORB 2 (第 2 のコマンドパケット) が転送されてき

た場合には、ORB 2 でアドレス指定されるページテーブルのページテーブルエレメントのうち、PEK 1 と同一エレメント番号のページテーブルエレメントに格納されるアドレスADK 2（第2のアドレス）を読み出す。そして記憶されたADK 1 と読み出したADK 2 を比較し、ADK 1 とADK 2 が同一であると判断された場合には、図15のF 2 に示すようにバスリセット発生時点において処理中であったページテーブルエレメント（PEK 1）からデータ転送を再開する。

【0112】

このように本実施形態ではバスリセット時に処理中であったページテーブルエレメントからデータ転送を再開できるため、図6（A）、（B）で説明した従来例に比べて、バスリセット時の正常動作を更に確実に保証できるようになる。

【0113】

即ち図6（A）、（B）において、既に転送が終了しているC 4 のセグメントデータの格納領域が、他のアプリケーション用途に使用されてしまうと、転送データの先頭アドレス（ADS 1、ADS 2）がバスリセットの前後で異なったアドレスになってしまう可能性がある。このような場合にも本実施形態では、バスリセット時に処理中であるページテーブルエレメントの格納アドレス（ADK 1、ADK 2）が比較されるため、例えば転送データの先頭アドレス（ADS 1、ADS 2）が異なったアドレスになっても、データ転送に不具合が生じない。従って従来例に比べて、より確実なデータ転送を保証できる。

【0114】

なお、処理中のページテーブルエレメントのみならず、既に処理が終了したページテーブルエレメントの格納アドレスを、バスリセットの前後において比較するようにしてもよい。

【0115】

より具体的には図17に示すように、ORB 1 によりアドレス指定されるページテーブルのページテーブルエレメントのうち、先頭ページテーブルエレメントから処理中ページテーブルエレメントに至るK個（Kは2以上の整数）のページテーブルエレメントに格納されるK個のアドレスAD 1 1、AD 2 1、AD 3.1

・・・ADK1（第1のアドレス群）を記憶しておく。

【0116】

そしてバスリセット発生後のORB2によりアドレス指定されるページテーブルのページテーブルエレメントのうち、K個のアドレスAD11、AD21、AD31・・・ADK1と同一エレメント番号のページテーブルエレメントに格納されるK個のアドレスAD12、AD22、AD32・・・ADK2（第2のアドレス群）を読み出す。そして、記憶されたAD11、AD21、AD31・・・ADK1と、読み出されたAD12、AD22、AD32・・・ADK2を比較する。そしてこれらのアドレスが同一であると判断された場合には、データ転送を再開するようにする。このようにすれば、バスリセット時のデータ転送を更に確実に保証できるようになる。なお先頭ページテーブルエレメントから処理中のページテーブルに至る全てのページテーブルエレメントの格納アドレスを比較するのではなく、そのうちの一部の複数のページテーブルエレメントを比較するようにしてもよい。

【0117】

次に図10のフローチャートの説明に戻る。バスリセット後にORB2（CMD2）を受信すると（ステップS30）、継続フラグがオンか否かを判断する（ステップS31）。この継続フラグは、図9のステップS29においてオンにされるフラグである。そして、継続フラグがオフの場合にはステップS42に移行する。

【0118】

継続フラグがオンの場合には図14で説明したように、バスリセット前のORB1とバスリセット後のORB2が同一か否かを判断する（ステップS32）。この場合に、ORB2と比較されるORB1の内容は、図9のステップS27において記憶されている。

【0119】

ORB1とORB2の内容が同一であった場合には、ページテーブルが存在するか否かを判断する（ステップS33）。これは図14のページテーブル存在フラグPにより判断できる。そしてページテーブルが存在する場合には、図15、

図 16 で説明したように、ORB 2 のページテーブルエレメントのうち、PEK 1 のエレメント番号と同一番号のページテーブルエレメント PEK 2 に格納されるアドレス ADK 2 をリードする（ステップ S 3 4）。そして図 9 のステップ S 2 8 で記憶しておいたアドレス ADK 1 と、リードしたアドレス ADK 2 が同一か否かを判断する（ステップ S 3 5）。そして ADK 1 と ADK 2 が同一である場合には、データ転送の再開処理を行う（ステップ S 3 6）。即ち、図 9 のステップ S 2 5 で記憶したバスリセット発生時点までの転送済みデータサイズやステップ S 2 8 で記憶したページテーブルエレメントの内容やエレメント番号などに基づいて、バスリセット発生時点の続きからデータ転送を再開できるように、データ転送の設定をバスリセット前の状態に戻す。そして、継続フラグをオフに戻す（ステップ S 3 7）。この場合、バスリセット前に既に転送を完了していたデータが消失しないように、ターゲットのデータバッファ上のデータをクリアしないようにする。

【0120】

ステップ S 3 3 でページテーブルが存在しないと判断された場合には、ORB 1 で直接指定されるアドレス DAD 1 と、ORB 2 で直接指定されるアドレス DAD 2 が同一か否かを判断する（ステップ S 3 8）。そして DAD 1（第 1 の直接アドレス）と DAD 2（第 2 の直接アドレス）が同一であると判断された場合には、データ転送の設定をバスリセット発生前の状態に戻し、データ転送の再開処理を行う（ステップ S 3 9）。そして、継続フラグをオフに戻す（ステップ S 4 0）。この場合、バスリセット前に既に転送を完了していたデータが消失しないように、ターゲットのデータバッファ上のデータをクリアしないようにする。

【0121】

このように本実施形態では、ページテーブルが存在する場合には、ページテーブルエレメントの格納アドレス ADK 1、ADK 2 を比較する一方で（ステップ S 3 5）、ページテーブルアドレスが存在しない場合には、ORB 1、ORB 2 で直接指定されるアドレス DAD 1、DAD 2 を比較するようにしている（ステップ S 3 8）。これにより、ページテーブルの存在の有無に依存せずに、バスリセット時の正常動作を保證できるようになる。

【0122】

ステップS31でORB1とORB2の内容が同一でないと判断された場合、ステップS35でアドレスADK1、ADK2が同一でないと判断された場合、或いは、ステップS38でDAD1とDAD2が同一でないと判断された場合には、データ転送の再開処理を行わず、継続フラグをオフに戻すと共に転送データのアドレスを記憶しておく（ステップS41、S42）。

【0123】

次に、ORB1が含むCMD1をデバイス100に対して既に発行しているか否かを判断する（ステップS43）。そして、CMD1を発行していない場合には、コマンドのアボート処理を行うことなく、新たに送られてきたORB2についての処理に移行する（ステップS48）。このように本実施形態では、CMD1の処理中にバスリセットが発生した場合において、CMD1が発行済みと判断（ステップS43）された時にはアボート処理（ステップS47）を行うが、CMD1が未発行と判断された場合にはアボート処理を行うことなくORB2（CMD2）の処理（ステップS48）に移行する。

【0124】

一方、デバイス100にCMD1を既に発行している場合には、DMA転送を既に開始しているか否かを判断する（ステップS44）。そして、開始している場合には、図18のE5に示すように、コマンドCMD1のアボート処理（ステップS47）に移行する。一方、CMD1が未発行の場合には、DMA転送要求DMARQが来ているか否かを判断し（ステップS45）、DMARQが来ている場合にはCMD1のアボート処理に移行する。一方、DMARQが来ている場合には、DMA転送の開始を指示した後（ステップS46）、CMD1のアボート処理に移行する。そして、CMD1のアボート処理が終了すると、ORB2（CMD2）の処理に移行する（ステップS48）。

【0125】

3. 4 ページテーブル存在時のアドレス比較処理の省略

図10のステップS34、S35ではページテーブルの存在時に、ページテーブルエレメントPEK1、PEK2に格納されるアドレスADK1、ADK2を

比較しているが、この比較処理を行わないようにすることもできる。この場合の処理のフローチャート例を図 25 に示す。

【0126】

例えば図 25 のステップ S 32 では、バスリセット発生後に ORB 2（第 2 のコマンドパケット）が転送されてきた場合に、バスリセット発生前の ORB 1（第 2 のコマンドパケット）の内容とバスリセット発生後の ORB 2 の内容がコマンド比較部 74（図 7 参照）により比較される。ここで ORB 1 の内容は、図 9 のステップ S 25 においてコマンド記憶部 73 により記憶されたものである。

【0127】

そしてページテーブルが存在するか否かが判断され（ステップ S 33）、ページテーブルの存在時には、転送再開部 77 によるデータ転送の再開処理（バスリセット発生時点からのデータ転送の再開処理）が行われる（ステップ S 36）。即ちページテーブルの存在時には、ORB 1 と ORB 2 の内容が同一であると判断されると、データ転送が再開される。つまり図 10 のステップ S 34、S 35 の処理を行うことなく、データ転送が再開される。

【0128】

一方、ページテーブルの非存在時には、ORB 1 で直接指定される DAD 1（第 1 の直接アドレス）と、ORB 2 で直接指定される DAD 2（第 2 の直接アドレス）がアドレス比較部 76 により比較される（ステップ S 38）。ここで DAD 1 は、図 9 のステップ S 27 において、ページテーブルの非存在時にアドレス記憶部 75 により記憶されたものである。

【0129】

そしてステップ S 38 で DAD 1 と DAD 2 が同一であると判断されると、転送再開部 77 によるデータ転送の再開処理（バスリセット発生時点からのデータ転送の再開処理）が行われる（ステップ S 39）。即ちページテーブルの非存在時には、ORB 1 と ORB 2 の内容が同一であり且つ DAD 1 と DAD 2 が同一であると判断された場合に、データ転送が再開される。

【0130】

例えば OS の処理の仕方や、デバイス 100 の種類（例えばストレージデバイ

ス) に依っては、ページテーブルエレメントに格納されるアドレスを比較しなくても、適正なデータ転送再開処理を保証できる場合がある。このような場合には、図10のステップS34、S35のアドレス比較処理を行うことなくデータ転送を再開することで、処理負荷を軽減できるようになる。

【0131】

3. 5 コマンドのアボート処理

図11は、CMD1のアボート処理に関するフローチャートである。まず、DMA転送が動作中か否かを判断する(ステップS51)。例えば、図10のステップS44でDMA転送が開始していないと判断され、ステップS45でDMA RQが未だ来ていないと判断された場合には、図11のステップS51でDMA転送が動作中ではないと判断される可能性がある。この場合には、ステップS52～S58のダミーデータの転送制御処理を行うことなく、コマンドCMD1をアボートする。このようにすることで、ステップS52～S58の処理を省くことができ、処理の効率化を図れる。

【0132】

DMA転送が動作中であると判断された場合には、コマンドCMD1がリードコマンドかライトコマンドかを判断する(ステップS52)。

【0133】

CMD1がリードコマンドである場合には、図18のE6に示すように、CMD1についてのDMA転送が完了しているか否かを判断する(ステップS53)。そして、DMA転送が完了するまで、デバイス100との間で、ステップS53～S55のダミーデータの転送(リード)処理を行う。そして、DMA転送が完了したと判断されると、図18のE7に示すようにコマンドCMD1のアボート処理を行う(ステップS59)。

【0134】

一方、CMD1がライトコマンドである場合には、CMD1についてのDMA転送が完了しているか否かを判断する(ステップS56)。そして、DMA転送が完了するまで、デバイス100との間で、ステップS56～S58のダミーデータの転送(ライト)処理を行う。そして、DMA転送が完了したと判断される

と、コマンドCMD1のアボート処理を行う（ステップS59）。

【0135】

なお、コマンドのアボート処理は、例えば、ATA/ATAPIで定義されるソフトウェアリセットにより実現できる。具体的には、デバイス100のインターフェース回路102が有するデバイス制御用レジスタのSRSTビットに「1」をセットすることで、このソフトウェアリセットが実行される。このレジスタへの値のセットは、後述するBUS2の信号CS[1:0]、DA[2:0]、DIOW、DIOR等を用いたPIO転送により、インターフェース回路30がインターフェース回路102のレジスタにアクセスすることで実現できる。

【0136】

なおSRST（ソフトウェアリセット）を行う代わりに、ダミーデータを転送した結果、デバイス100から通常完了割り込み（INTRQ）が入った場合には、割り込み処理関数を実行して終了処理を行うようにしてもよい。

【0137】

以上のように本実施形態では、バスリセット前にデバイス100に発行したコマンドCMD1（図8のステップS3、図18のE1参照）を、ORB1（CMD1）に基づき開始したDMA転送（図8のステップS7、図10のステップS46、図18のE3参照）が完了した後にアボートしている（図11のステップS59、図18のE7参照）。

【0138】

このようにすることで、デバイス100とのBUS2を介したDMA転送が正常に完了した後に、コマンドCMD1がアボートされるようになる。従って、デバイス100は、DMA転送を正常に完了できるため、デバイス100がハングアップする事態を防止できる。また、コマンドCMD1をアボートするまでのBUS2を介したDMA転送は、ダミーデータ転送により行われるため、パーソナルコンピュータ2の処理に悪影響が及ぶこともない。

【0139】

特に、ATA（IDE）/ATAPIのインターフェースを備えたデバイス100は、元々、パーソナルコンピュータ2の内蔵ストレージデバイスとして設計

されており、DMA転送中のIEEE1394のバスリセットの発生を想定した設計は行われていない。従って、デバイス100を、IEEE1394とATA/ATAPIのブリッジ機能を備えた本実施形態のデータ転送制御システム10に接続すると、予期しないバスリセットの発生により、デバイス100がハングアップする可能性が高い。本実施形態によれば、DMA転送の完了後にコマンドをアボートするため、このようなハングアップの発生を未然に防止できる。

【0140】

4. ダミーデータの転送

次に、図11のステップS53～S55、S56～S58のダミーデータの転送処理について、図19(A)～(E)、図20(A)～(E)を用いて説明する。

【0141】

図19(A)～(E)は、デバイス100のデータをパーソナルコンピュータ2がリードする場合（データ転送制御システム10のデータ送信時）における、パケットバッファ40のポインタ制御について説明するための図である。

【0142】

図19(A)～(E)において、ポインタATXP1（第1のポインタ）は、BUS2（デバイス100、ATA/ATAPI）からの転送データをパケットバッファ40に書き込むためのポインタであり、BUS2からの転送データが書き込まれる毎に更新される。また、ポインタLTXP2（第2のポインタ）は、BUS1（パーソナルコンピュータ2、IEEE1394）への転送データをパケットバッファ40から読み出すためのポインタであり、BUS1への転送データが読み出される毎に更新される。これらのポインタの更新は、ポインタ管理部39により行われる。

【0143】

図19(A)に示すように、BUS2からの転送データがインターフェース回路30によりパケットバッファ40に書き込まれる毎に、ポインタATXP1が更新され、その指示位置が下側方向（データの蓄積方向）に移動する。そして、ポインタATXP1はリングバッファ方式で管理されている。従って、図19（

B) に示すように、ポインタ A T X P 1 が記憶領域の下側の境界 B D 2 に達すると、A T X P 1 は記憶領域の上側の境界 B D 1 に戻る（リングする）。

【0144】

そして、A T X P 1 = L T X P 2 と判断された場合（図 11 のステップ S 5 4）には、図 19（C）に示すように、パケットバッファ 40 の記憶領域の全てにデータが蓄積されたことになる。なお、図 19（A）～（E）において、斜線で示す部分が蓄積データを表している。

【0145】

すると本実施形態では、図 19（D）に示すように、L T X P 2 のポインタレジスタに、L T X P 2 と同じ値が再度書き込まれる（図 11 のステップ S 5 5）。これにより、ポインタ L T X P 2 がダミー更新され、記憶領域の全ての蓄積データが読み出されたのと同様の結果になる。そして、その後、図 19（E）に示すようにポインタ A T X P 1 が更新され、擬似的な読み出しが行われた記憶領域に B U S 2 からの転送データが書き込まれる。そして、DMA 転送が完了するまで（図 11 のステップ S 5 3）、図 19（A）～（E）のポインタ制御が繰り返され、B U S 2 との間でのダミーデータの転送処理が行われるようになる。

【0146】

以上のように本実施形態では、B U S 2 からの転送データが書き込まれる毎に更新される A T X P 1（第 1 のポインタ）により、L T X P 2（第 2 のポインタ）が追い越されないように、L T X P 2 をダミー更新することで、ダミーデータの転送制御の実現に成功している。

【0147】

図 20（A）～（E）は、パーソナルコンピュータ 2 がデバイス 100 にデータをライトする場合（データ転送制御システム 10 のデータ受信時）における、パケットバッファ 40 のポインタ制御について説明するための図である。

【0148】

図 20（A）～（E）において、ポインタ A R X P 3（第 3 のポインタ）は、B U S 2 への転送データをパケットバッファ 40 から読み出すためのポインタであり、B U S 2 への転送データが読み出される毎に更新される。また、ポインタ

LRXP4（第4のポインタ）は、BUS1からの転送データをパケットバッファ40に書き込むためのポインタであり、BUS1からの転送データが書き込まれる毎に更新される。これらのポインタの更新は、ポインタ管理部39により行われる。

【0149】

図20（A）に示すように、BUS2への転送データがパケットバッファ40から読み出される毎に、ポインタARXP3が更新され、その指示位置が下側方向に移動する。そして、ポインタARXP3はリングバッファ方式で管理されている。従って、図20（B）に示すように、ポインタARXP3が下側の境界BD2に達すると上側の境界BD1に戻る。

【0150】

そして、ARXP3=LRXP4と判断された場合（図11のステップS57）には、図20（C）に示すように、パケットバッファ40の記憶領域の全てのデータが読み出されたことになる。

【0151】

すると本実施形態では、図20（D）に示すように、LRXP4のポインタレジスタに、LRXP4と同じ値が再度書き込まれる（図11のステップS58）。これにより、ポインタLRXP4がダミー更新され、記憶領域の全てにデータが書き込まれたのと同様の結果になる。そして、図20（E）に示すようにポインタARXP3が更新され、擬似的な書き込みが行われた記憶領域からBUS2への転送データが読み出される。そして、DMA転送が完了するまで（図11のステップS56）、図20（A）～（E）のポインタ制御が繰り返され、BUS2との間でのダミーデータの転送処理が行われるようになる。

【0152】

このように本実施形態では、BUS2への転送データが読み出される毎に更新されるARXP3（第3のポインタ）により、LRXP4（第4のポインタ）が追い越されないように、LRXP4をダミー更新することで、ダミーデータの転送制御の実現に成功している。

【0153】

以上のように本実施形態では、DMA転送が完了するまで、BUS 2を介してダミーデータをデバイス100との間で擬似的に転送し、DMA転送が完了した後に、コマンドCMD 1をアボートしている。そして、パーソナルコンピュータ2側の転送データの読み出しや書き込みは、図19(D)、図20(D)に示すように、ポインタLTXP 2、LRXP 4のダミー更新より擬似的に行われる。従って、コマンドCMD 1をアボートするまでDMA転送を継続することによる悪影響が、パーソナルコンピュータ2の処理に及ぶのを防止できる。そして、バスリセット後にパーソナルコンピュータ2が新たに送ってきたORB 2 (CMD 2) の処理を、CMD 1がアボートされた後に適正に実行することが可能になる。

【0154】

なお、ポインタLTXP 2、LRXP 4のダミー更新の手法は、図19(A)～図20(E)に示す手法に限定されず、少なくともポインタATXP 1、ARXP 3に追い越されないように、LTXP 2、LRXP 4を制御すればよい。また、ダミーデータの転送処理を、図19(A)～図20(E)に示すようなポインタ制御ではなく、ダミーデータ転送用の専用のハードウェア回路を設けて実現してもよい。

【0155】

5. ATA/ATAPIのインターフェース回路

図21に、ATA/ATAPIのインターフェース回路30の構成例を示す。なお、インターフェース回路30は図21の全ての回路ブロックを備える必要はなく、その一部を省略してもよい。

【0156】

FIFO 31は、データ転送の転送レートの差を調整(緩衝)するためのバッファである。DMAコントローラ32は、FIFO 31やインターフェースコア回路34の制御(REQ/ACK制御)等を行う回路である。

【0157】

インターフェースコア回路34は、DMAの制御等を行う回路である。インターフェースコア回路34が含むカウンタ35は、ATA (IDE) /ATAPI

用のリセットカウンタである。インターフェースコア回路34が含むUDMA回路36は、ATA/ATAPIのUltraDMA転送を制御するための回路であり、UltraDMA用のFIFO37、UltraDMA用のCRC演算回路38を含む。

【0158】

レジスタ33は、DMA転送の開始等を制御するためのレジスタであり、このレジスタ33は、ファームウェア50（CPU42）によりアクセス可能になっている。

【0159】

CS[1:0]は、ATAの各レジスタにアクセスするために使用するチップセレクト信号である。DA[2:0]は、データ又はデータポートにアクセスするためのアドレス信号である。

【0160】

DMARQ、DMACKは、DMA転送に使用される信号である。データ転送の準備が整った時にデバイス100側がDMARQをアクティブ（アサート）にし、これに応答して、データ転送制御システム10（ホスト）側がDMA転送開始時にDMACKをアクティブにする。

【0161】

DIOW（STOP）は、レジスタ又はデータポートの書き込み時に使用するライト信号である。なお、UltraDMA転送中はSTOP信号として機能する。DIOR（HDMARDY、HSTROBE）は、レジスタ又はデータポートの読み出し時に使用するリード信号である。なお、UltraDMA転送中はHDMARDY、HSTROBE信号として機能する。

【0162】

IORDY（DDMARDY、DSTROBE）は、デバイス100のデータ転送の準備が整っていない時のウェイト信号等に使用される。なお、UltraDMA転送中はDDMARDY、DSTROBE信号として機能する。

【0163】

図22（A）～図24（B）に、以上のATA用の信号の波形例を示す。なお

、これらの図において「#」は負論理（Lレベルがアクティブ）の信号であることを表す。

【0164】

図22（A）、（B）は、PIO（Parallel I/O）リード、PIOライト時の信号波形例である。ATAのステータスレジスタのリードは図22（A）のPIOリードにより行い、制御レジスタへのライトは図22（B）のPIOライトにより行う。例えば、デバイス100に発行したコマンドをアボートするためのソフトウェアリセットは、図22（B）のPIOライトにより、インターフェース回路102のレジスタのSRSTビットに「1」をセットすればよい。

【0165】

図23（A）、（B）は、DMAリード、DMAライト時の信号波形例である。データ転送の準備ができると、デバイス100（インターフェース回路102）が、DMARQをアクティブ（Hレベル）にする。そして、それを受けて、データ転送制御システム10（インターフェース回路30）が、DMACKをアクティブ（Lレベル）にして、DMA転送を開始する。その後、DIOR（リード時）又はDIOW（ライト時）を使用して、データDD[15:0]のDMA転送を行う。

【0166】

図24（A）、（B）は、UltraDMAリード、UltraDMAライト時の信号波形例である。データ転送の準備ができると、デバイス100が、DMARQをアクティブにする。そして、それを受けて、データ転送制御システム10が、DMACKをアクティブにして、DMA転送を開始する。その後、DIOW、DIOR、IORDYを使用して、データDD[15:0]のUltraDMA転送を行う。

【0167】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0168】

例えば、明細書中の記載において広義な用語（第1のインターフェース規格、

第2のインターフェース規格、第1のインターフェース規格の上位の第1のプロトコル、第1のインターフェース規格の上位の第2のプロトコル、コマンドパケット、電子機器、転送実行回路、ストレージデバイス、デバイス、プロセッサ等)として引用された用語(IEEE1394、ATA/ATAPI、SBP-2、IPover1394、ORB、パーソナルコンピュータ、SBP-2回路、ハードディスクドライブ・光ディスクドライブ、ストレージデバイス・プリンタデバイス・スキャナデバイス、CPU等)は、明細書中の他の記載においても広義な用語に置き換えることができる。

【0169】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【0170】

また、本発明のデータ転送制御システム、電子機器の構成は、図7に示す構成に限定されず、種々の変形実施が可能である。例えば、これらの各図の各回路ブロック、機能ブロックの一部を省略したり、その接続関係を変更してもよい。例えば物理層回路とリンク層回路とパケットバッファの接続構成も図7に示す接続構成に限定されない。

【0171】

また本実施形態では、判断部、コマンド記憶部、コマンド比較部、アドレス記憶部、アドレス比較部、転送再開部、コマンド処理部、コマンドアボート部等の機能をファームウェア(プログラム)により実現する場合について説明したが、これらを機能の一部又は全部をハードウェア回路により実現してもよい。

【0172】

また、本発明はIEEE1394におけるバスリセットに特に有用だが、これ以外にも、少なくともノードのトポロジ情報をクリアするようリセットであれば適用できる。また本発明は、バスリセット発生時以外におけるコマンドアボート処理にも適用可能である。

【0173】

また本発明は種々の電子機器（ハードディスクドライブ、光ディスクドライブ、光磁気ディスクドライブ、PDA、拡張機器、オーディオ機器、デジタルビデオカメラ、携帯電話、プリンタ、スキャナ、TV、VTR、電話機、表示デバイス、プロジェクタ、パーソナルコンピュータ或いは電子手帳等）に適用できる。

【0174】

また、本実施形態では、IEEE1394、SBP-2、ATA/ATAPI規格でのデータ転送に本発明を適用した場合について説明した。しかしながら本発明は、例えばIEEE1394（P1394a）、SBP-2（SBP）、ATA/ATAPIと同様の思想に基づく規格や、IEEE1394、SBP-2、ATA/ATAPIを発展させた規格におけるデータ転送にも適用できる。

【図面の簡単な説明】

【図1】 IEEE1394、SBP-2の層構造の説明図である。

【図2】 SBP-2の処理の概略について説明図である。

【図3】 イニシエータからターゲットへのデータ転送の説明図である。

【図4】 ターゲットからイニシエータへのデータ転送の説明図である。

【図5】 図5（A）（B）（C）はページテーブルの説明図である。

【図6】 図6（A）（B）はバスリセット発生時の問題の説明図である。

【図7】 データ転送制御システム、電子機器の構成例である。

【図8】 本実施形態の詳細な処理例のフローチャートである。

【図9】 本実施形態の詳細な処理例のフローチャートである。

【図10】 本実施形態の詳細な処理例のフローチャートである。

【図11】 本実施形態の詳細な処理例のフローチャートである。

【図12】 データ転送の再開処理の説明図である。

【図13】 データ転送の再開処理の説明図である。

【図14】 ORBの比較処理の説明図である。

【図15】 アドレスの比較処理の説明図である。

【図16】 アドレスの比較処理の説明図である。

【図17】 アドレスの比較処理の説明図である。

【図18】 コマンドのアボート処理の説明図である。

【図19】図19 (A) ~ (E) はダミーデータ転送処理の説明図である。

【図20】図20 (A) ~ (E) はダミーデータ転送処理の説明図である。

【図21】インターフェース回路の構成例である。

【図22】図22 (A) (B) はP I O転送の信号波形例である。

【図23】図23 (A) (B) はDMA転送の信号波形例である。

【図24】図24 (A) (B) はU l t r a DMA転送の信号波形例である。

。 【図25】ページテーブル存在時にアドレス比較を省略する場合のフローチャートである。

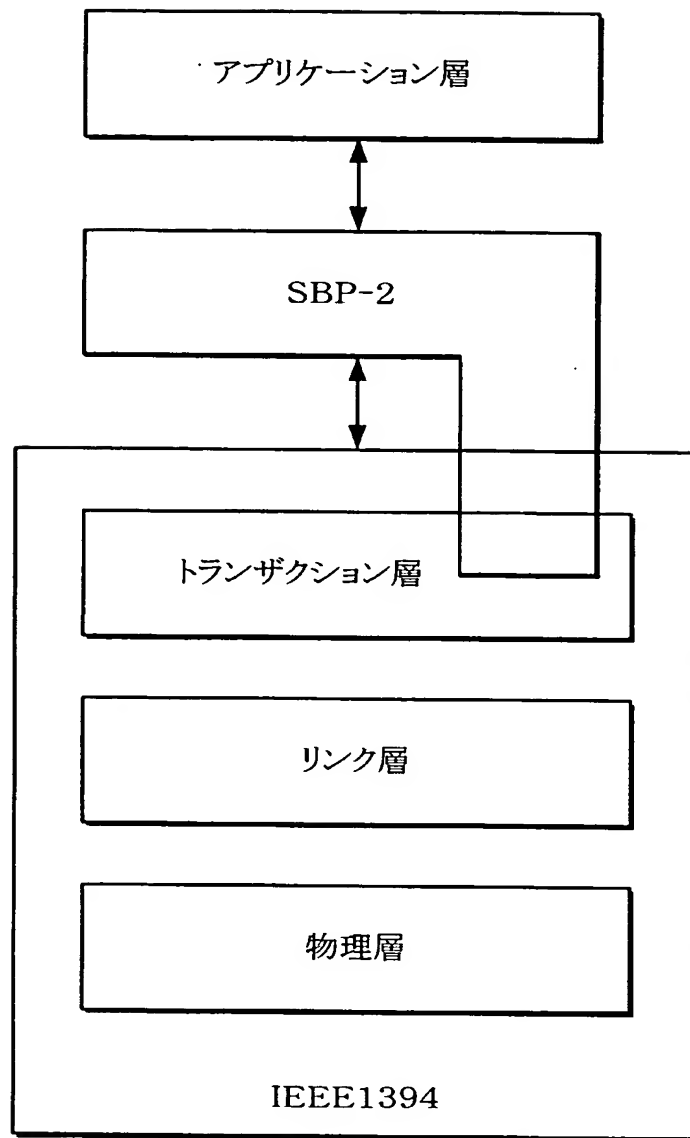
【符号の説明】

BUS1 第1のバス、BUS2 第2のバス、
2 パーソナルコンピュータ、8 電子機器、10 データ転送制御システム、
14 物理層回路、20 リンク層回路、22 SBP-2回路、
30 インターフェース回路、32 DMAコントローラ、
38 バッファ管理回路、40 パケットバッファ42 CPU、
44 フラッシュメモリ、50 ファームウェア、
52 コミュニケーション部、60 マネージメント部、70 フェッチ部
72 判断部、73 コマンド記憶部、74 コマンド比較部、
75 アドレス記憶部、76 アドレス比較部、78 転送再開部、
80 タスク部、82 コマンド処理部、84 コマンドアボート部、
100 デバイス、102 インターフェース回路、
104 アクセス制御回路、106 ストレージ、

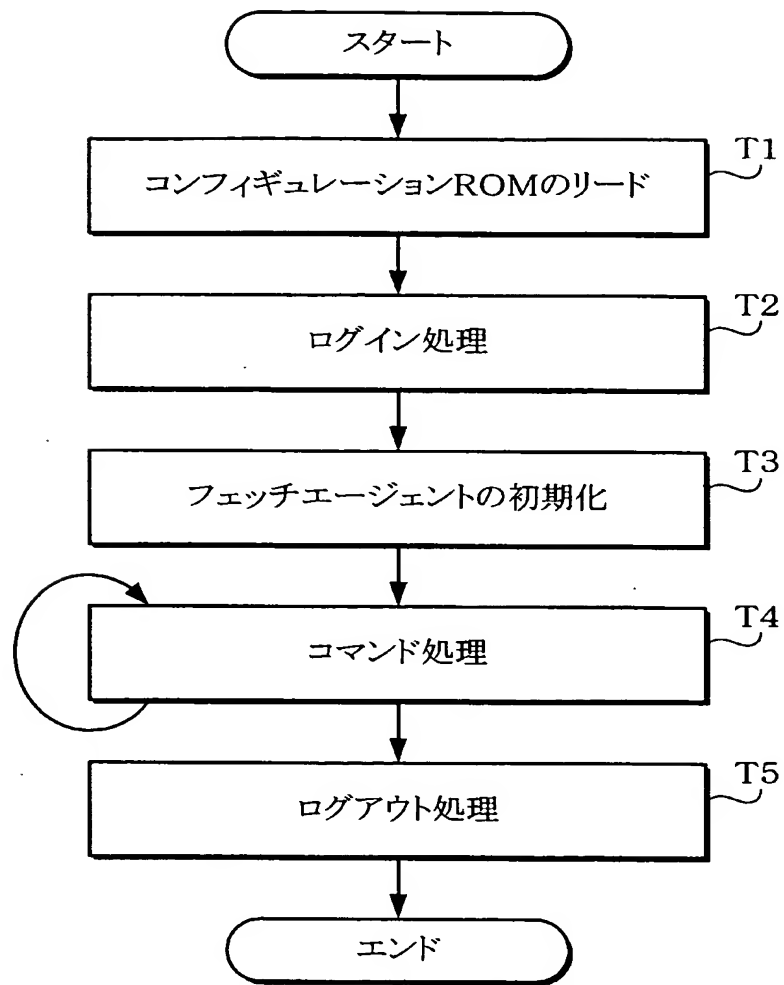
【書類名】

図面

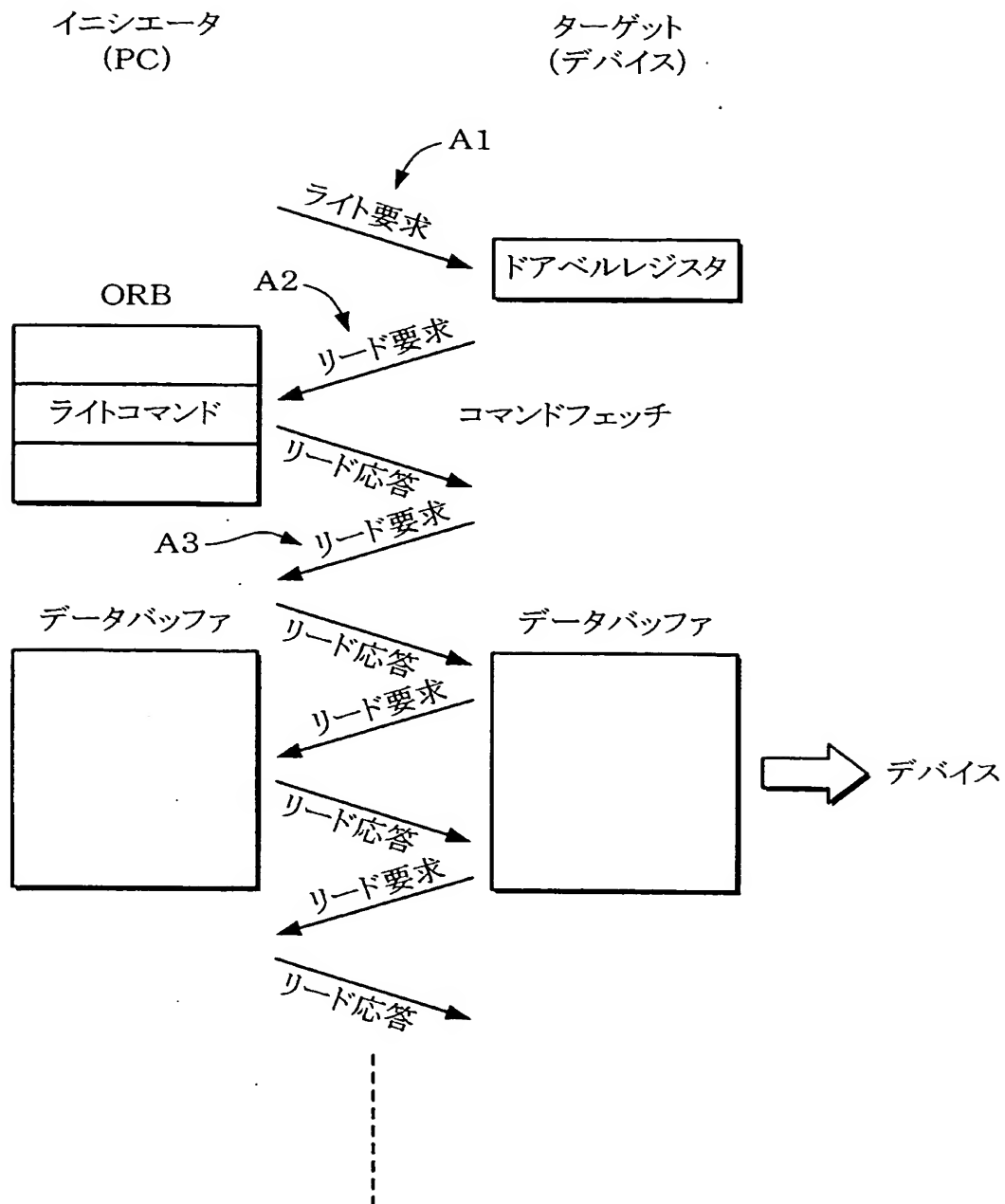
【図 1】



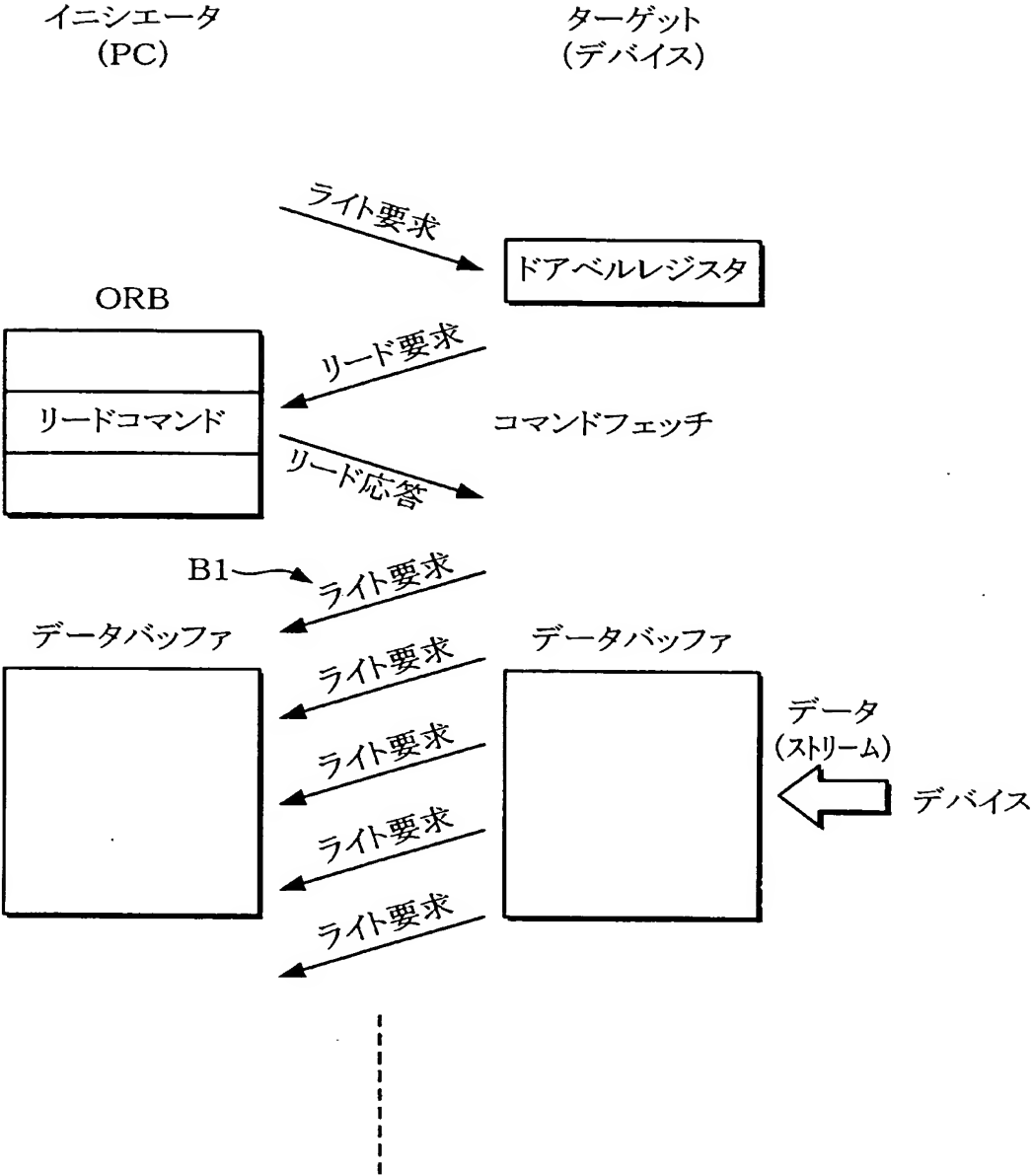
【図 2】



【図 3】

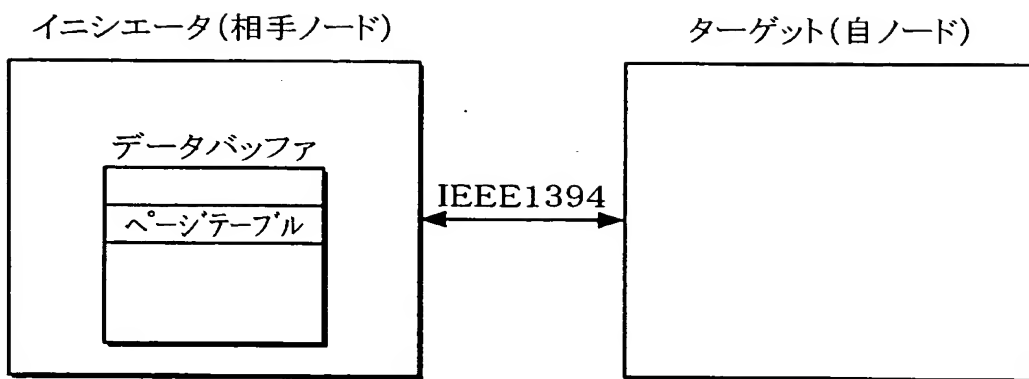


【図 4】

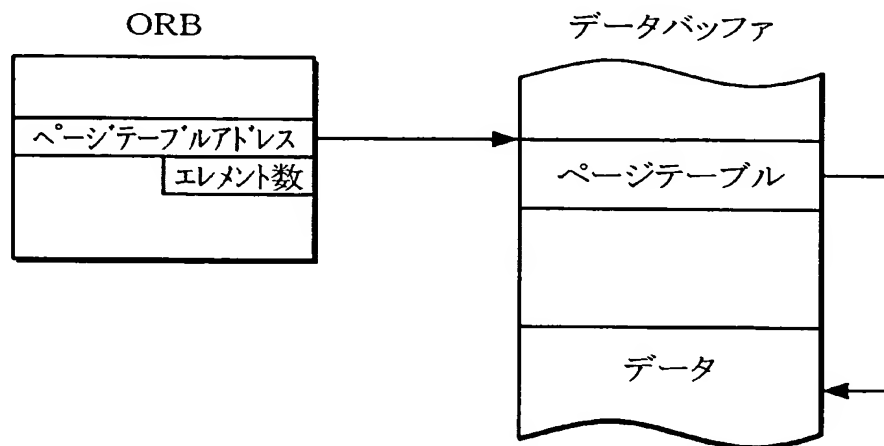


【図 5】

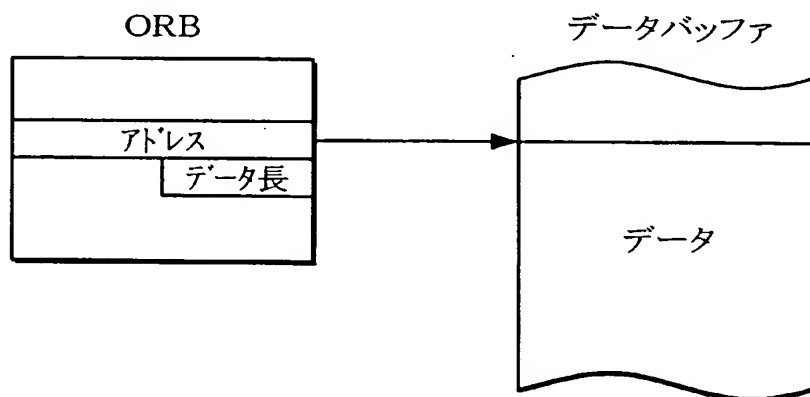
(A)



(B) ページテーブル存在時

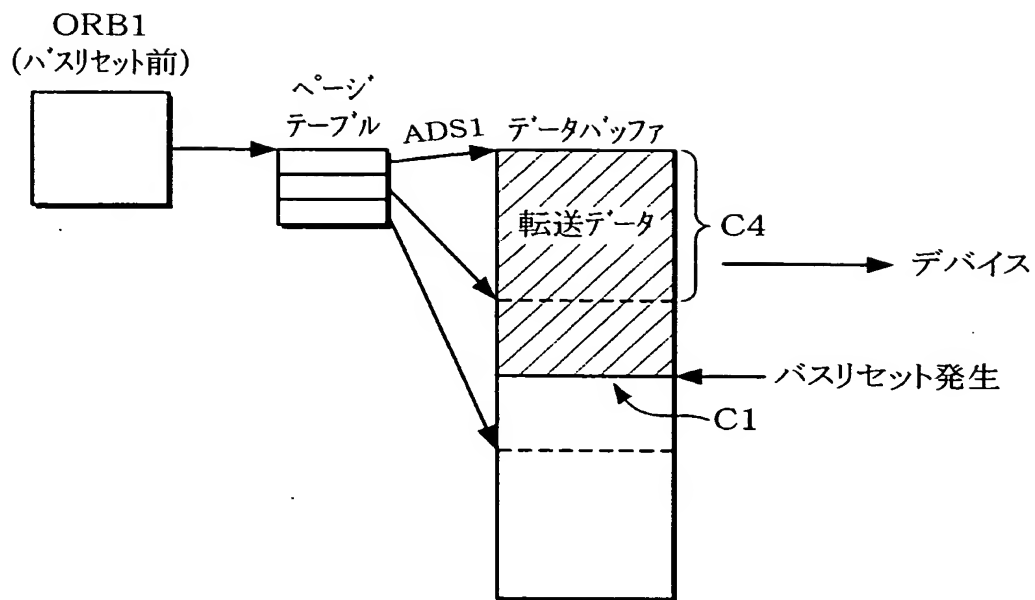


(C) ページテーブル非存在時

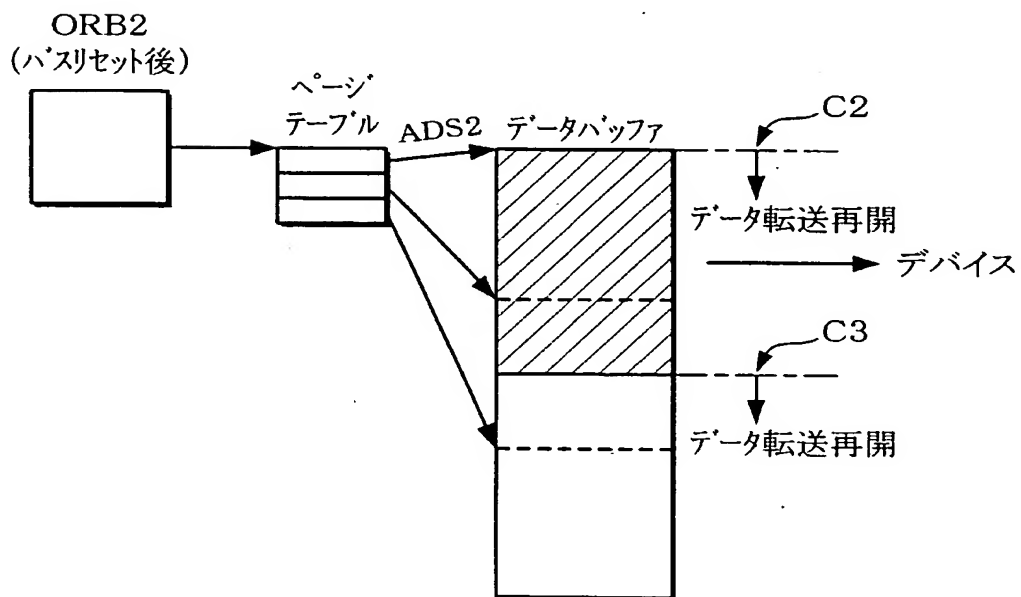


【図 6】

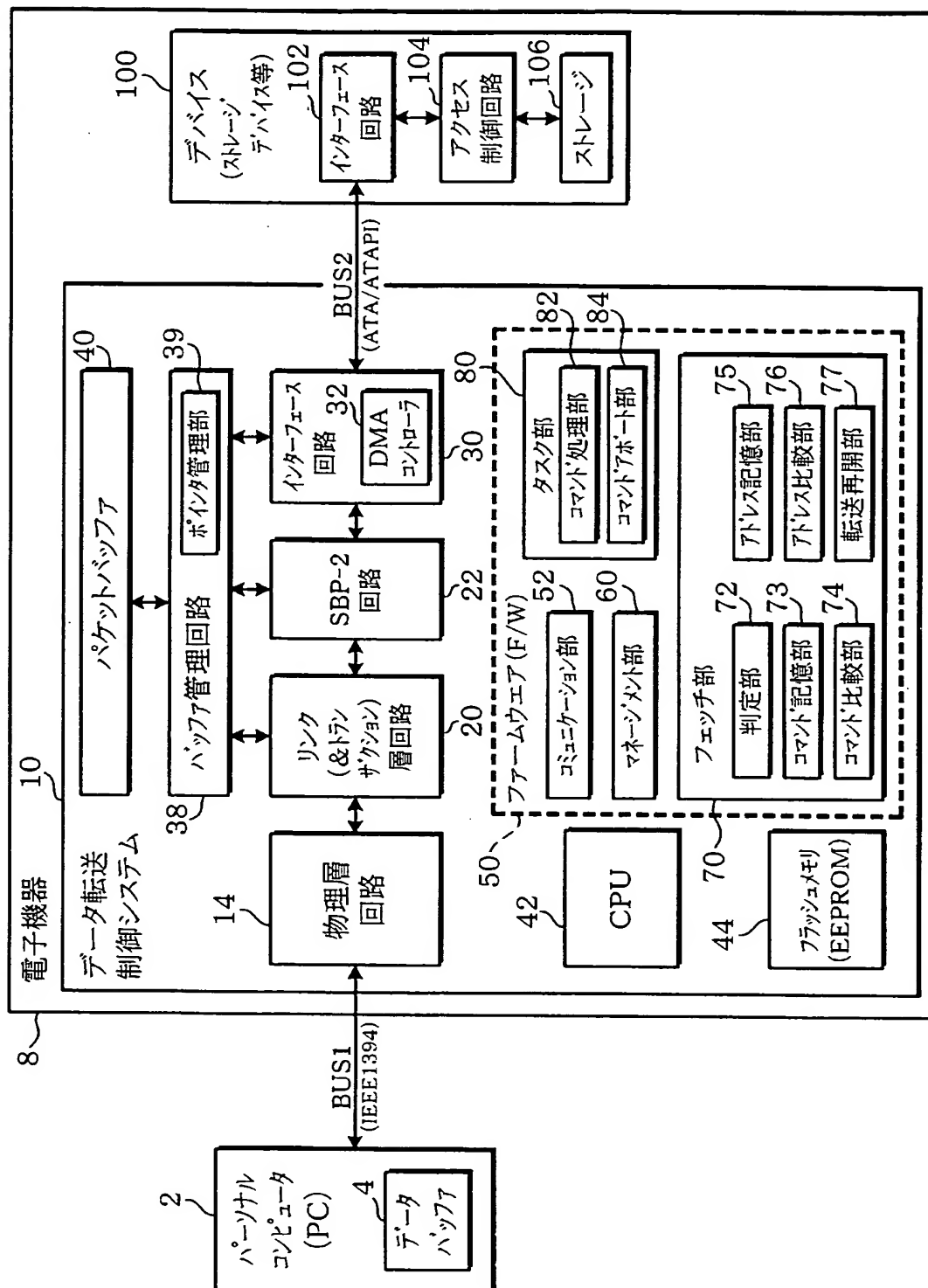
(A)



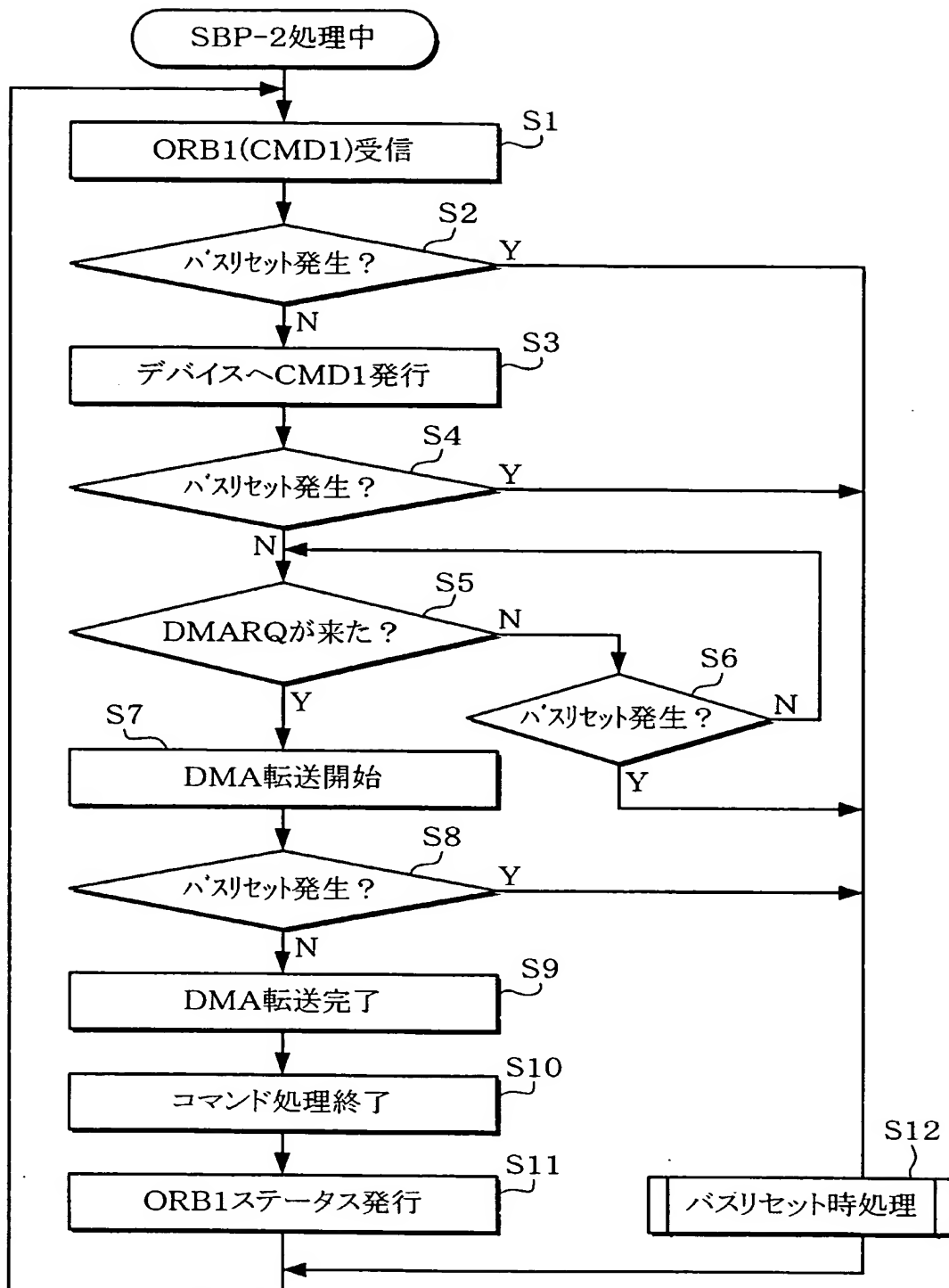
(B)



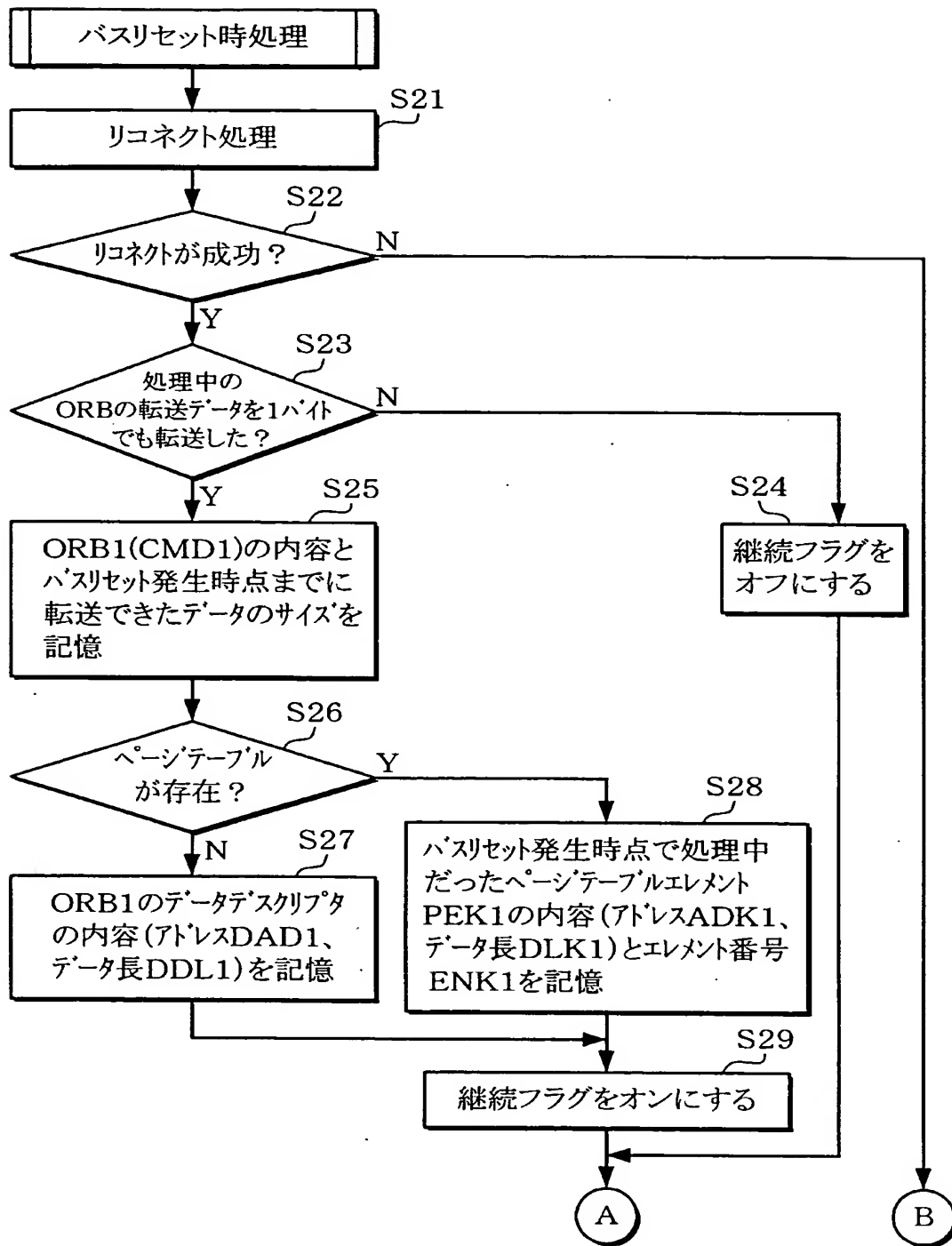
【図 7】



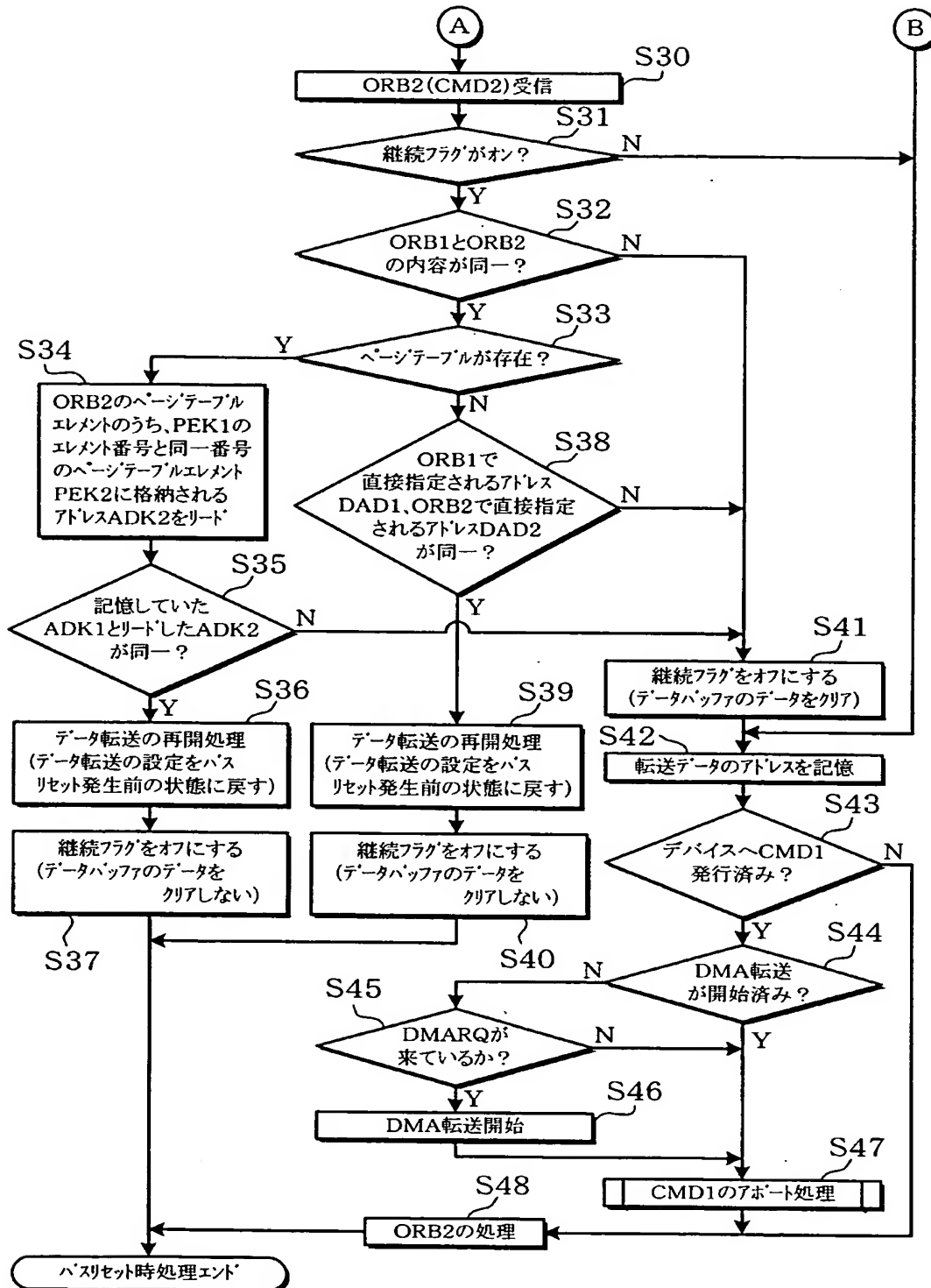
【図 8】



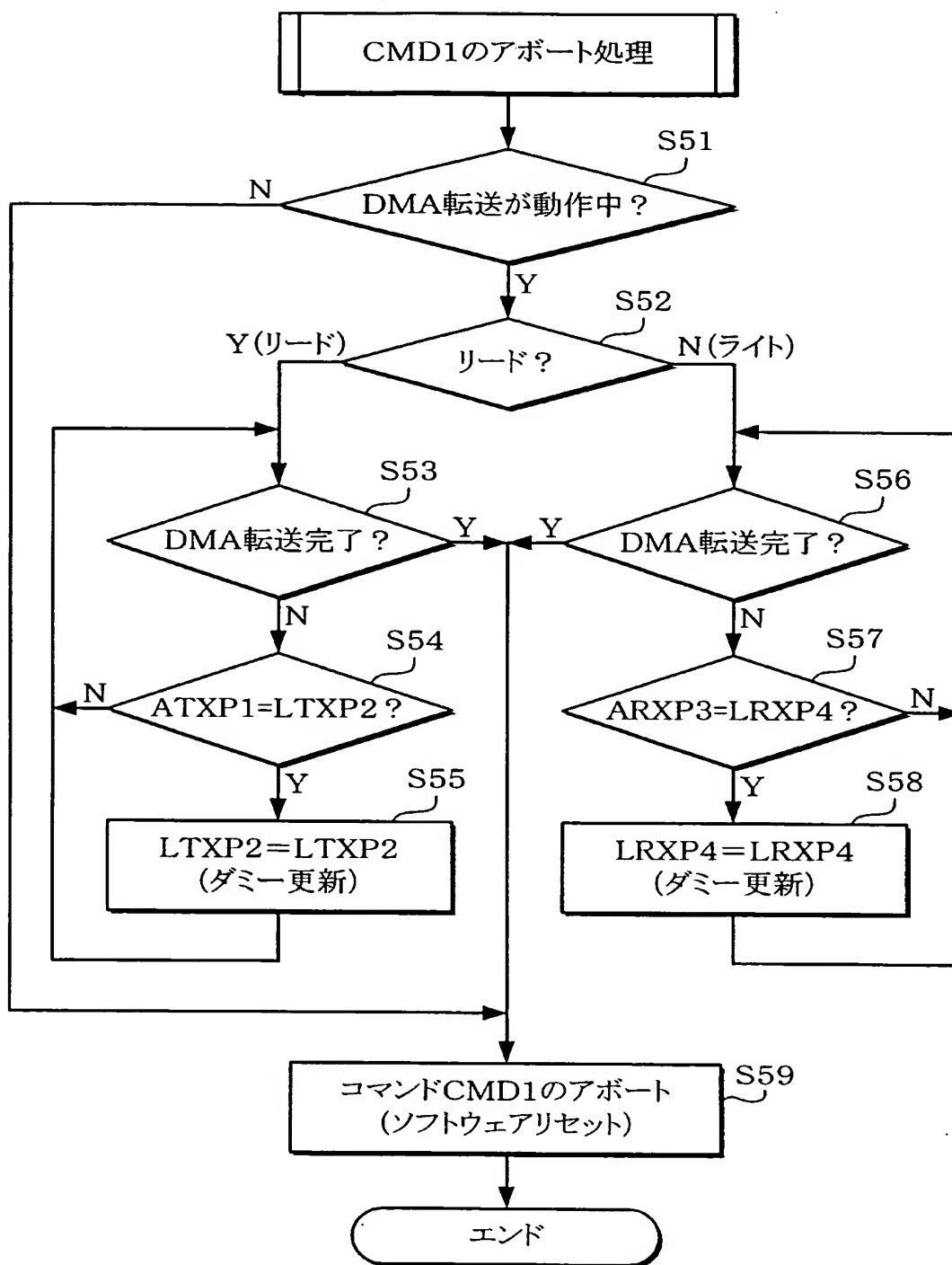
【図 9】



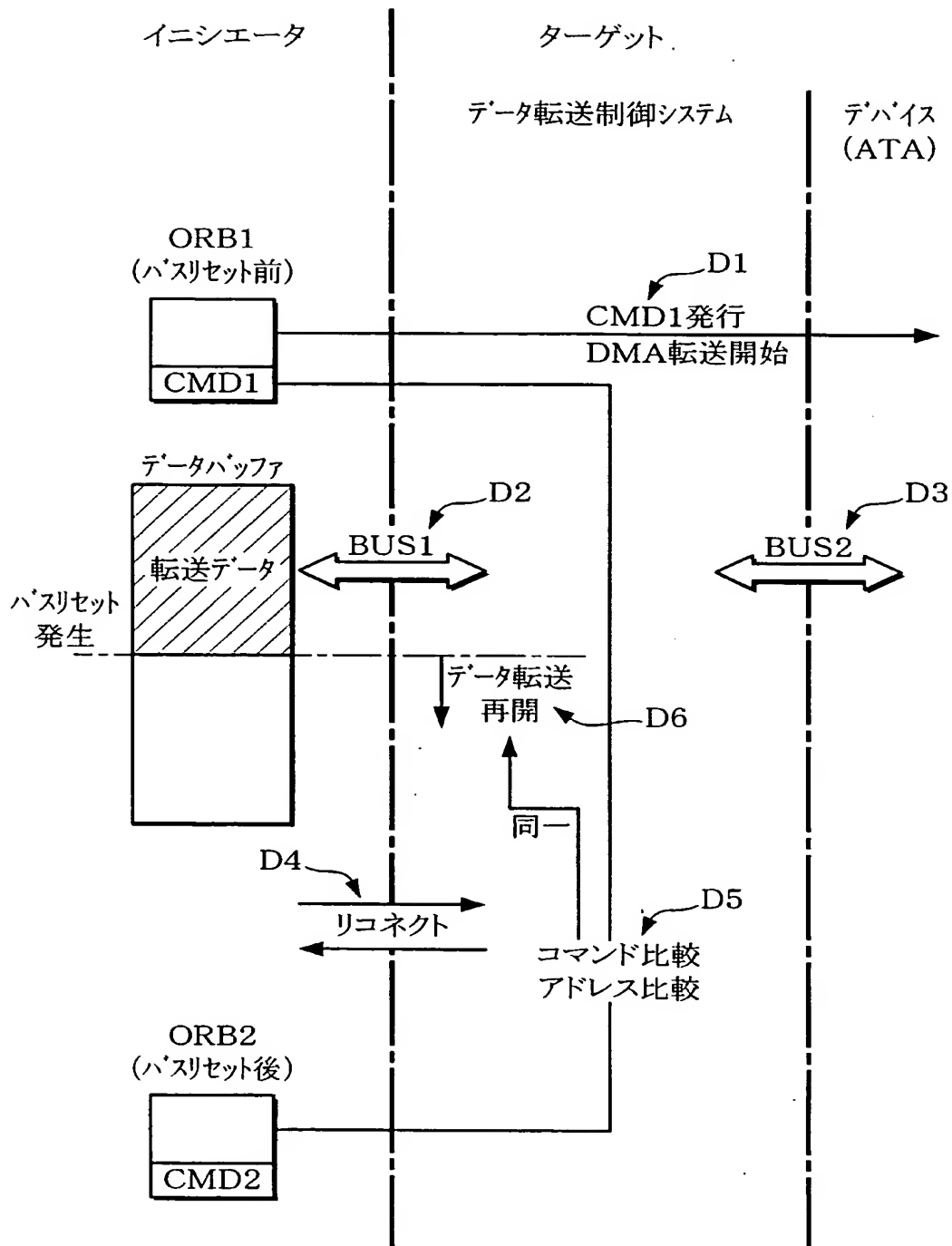
【図10】



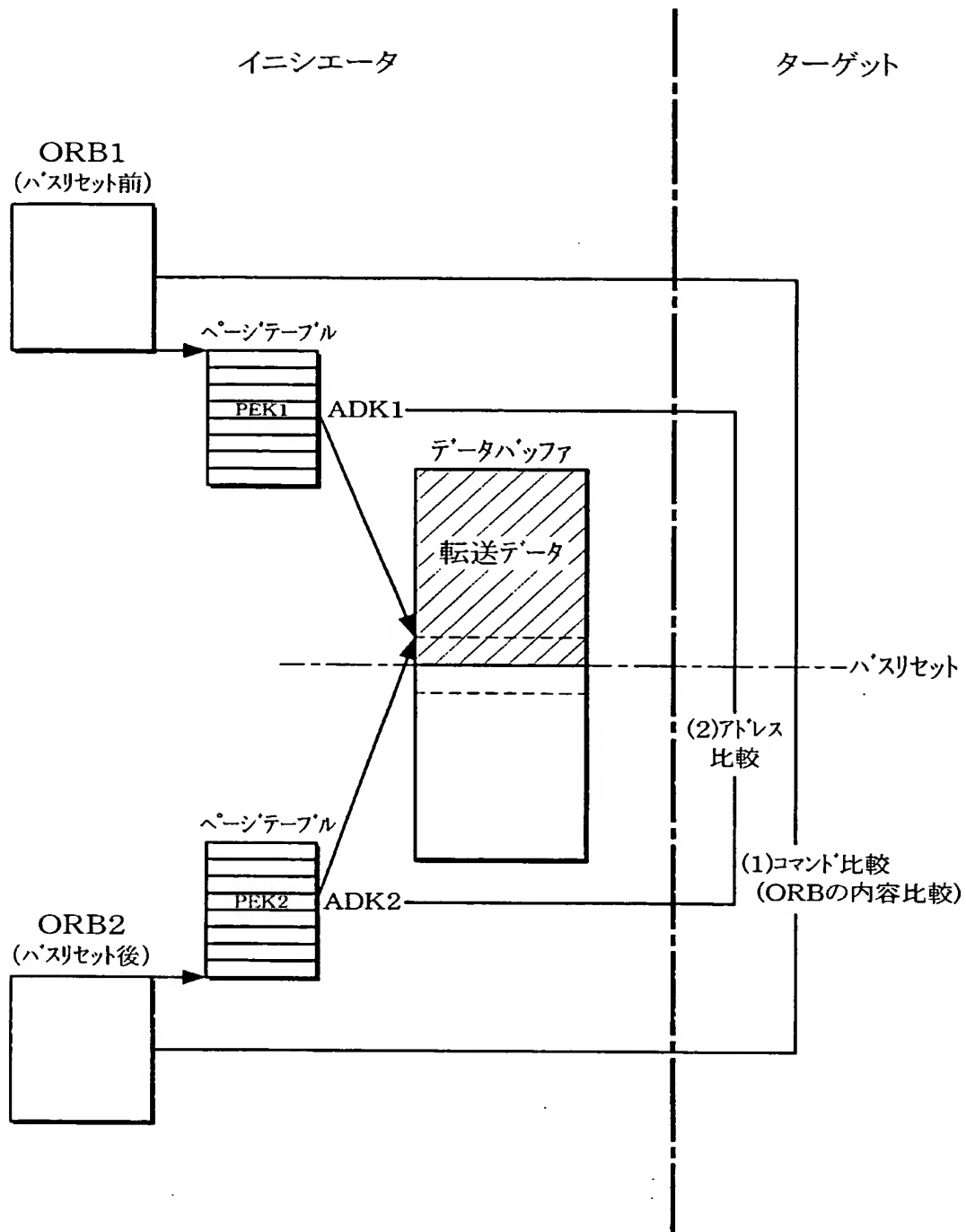
【図 11】



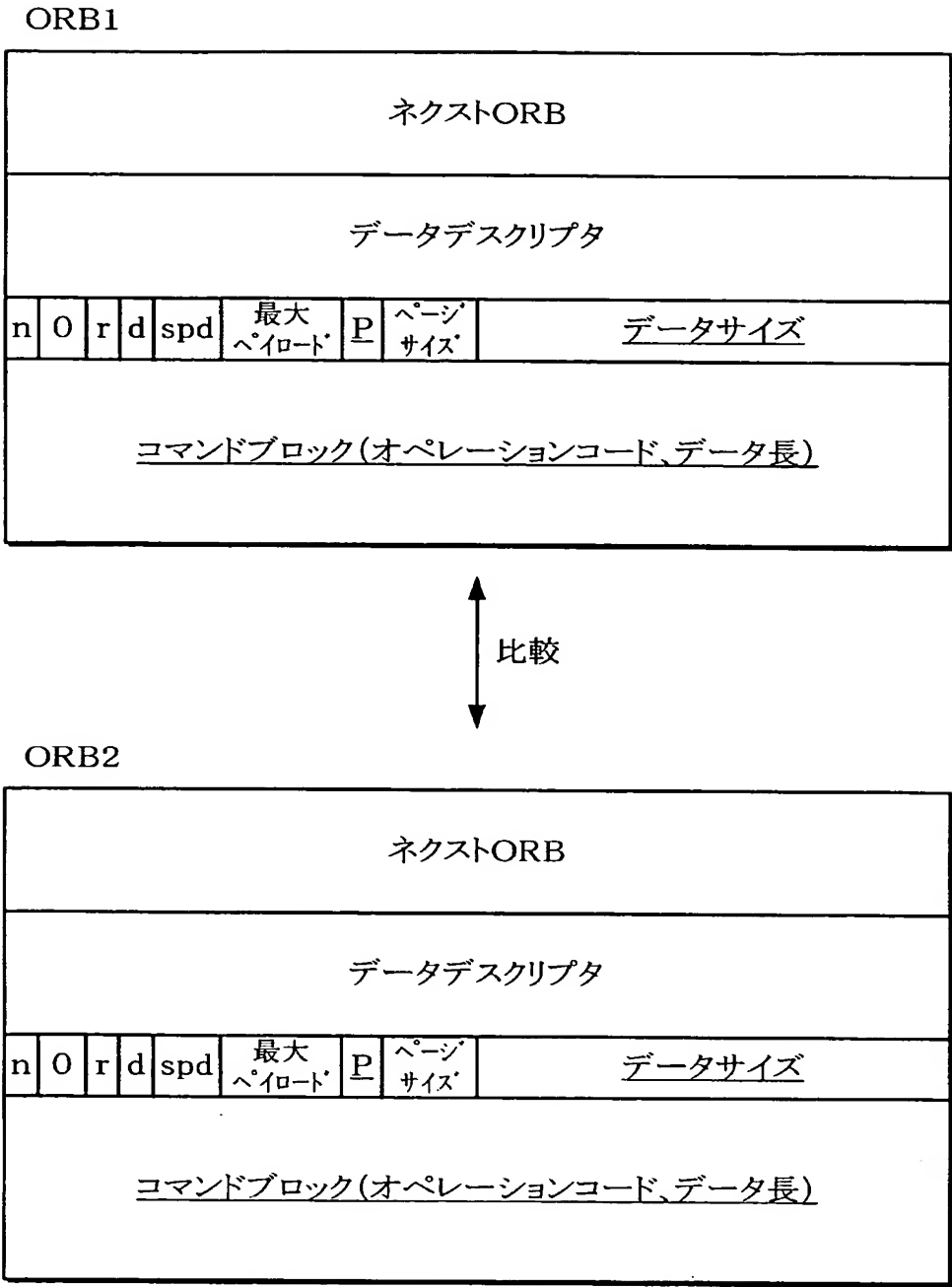
【図 12】



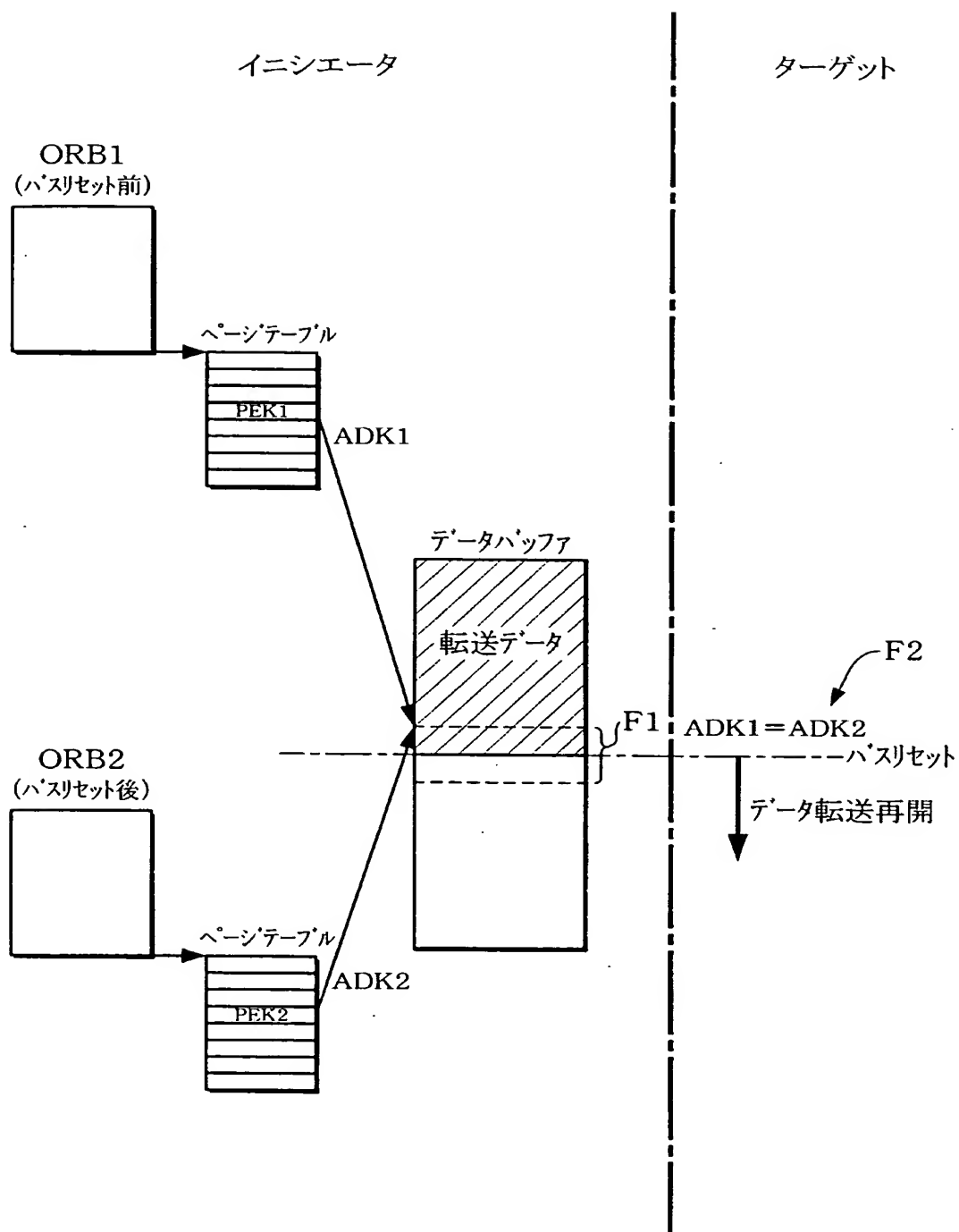
【図 13】



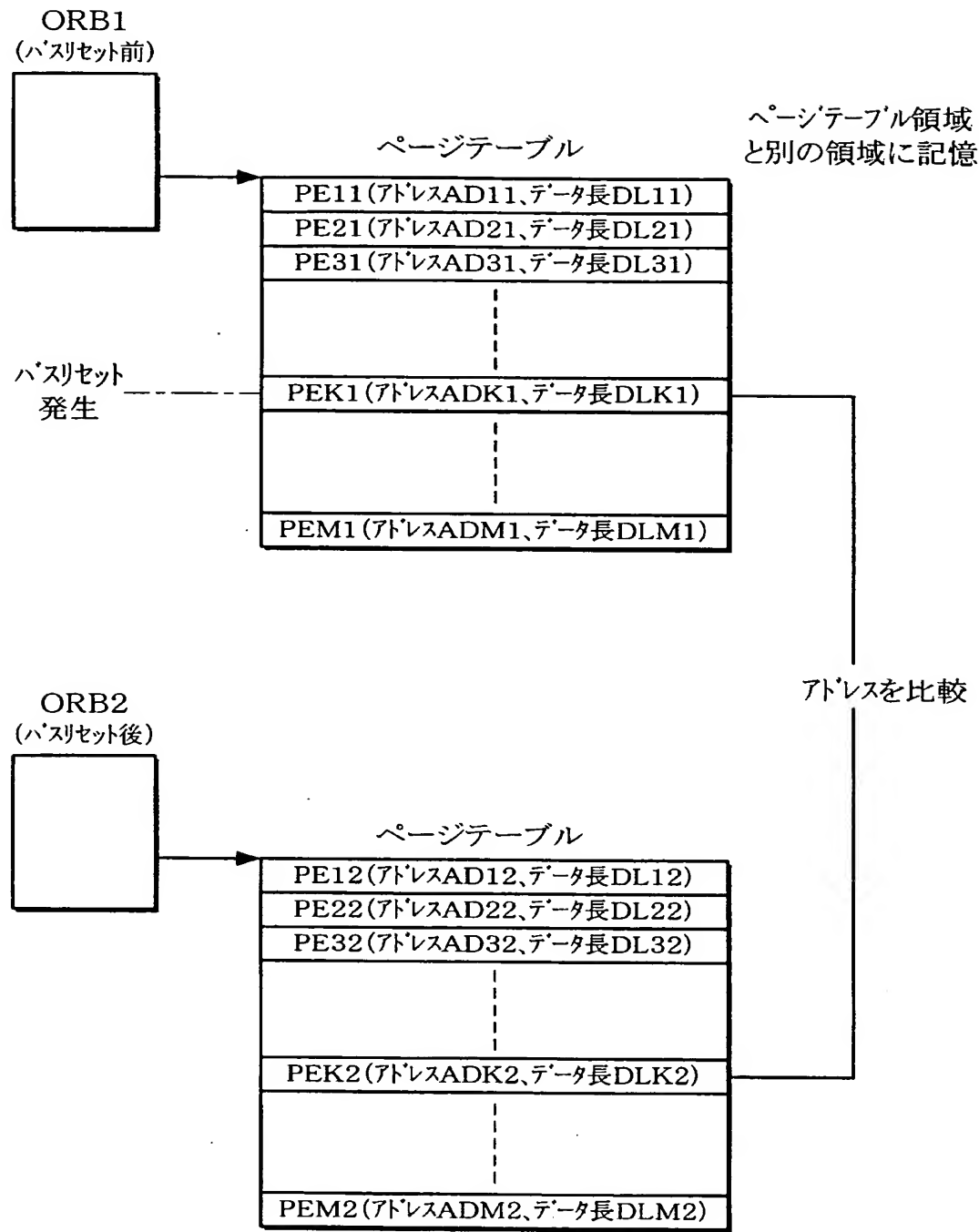
【図 14】



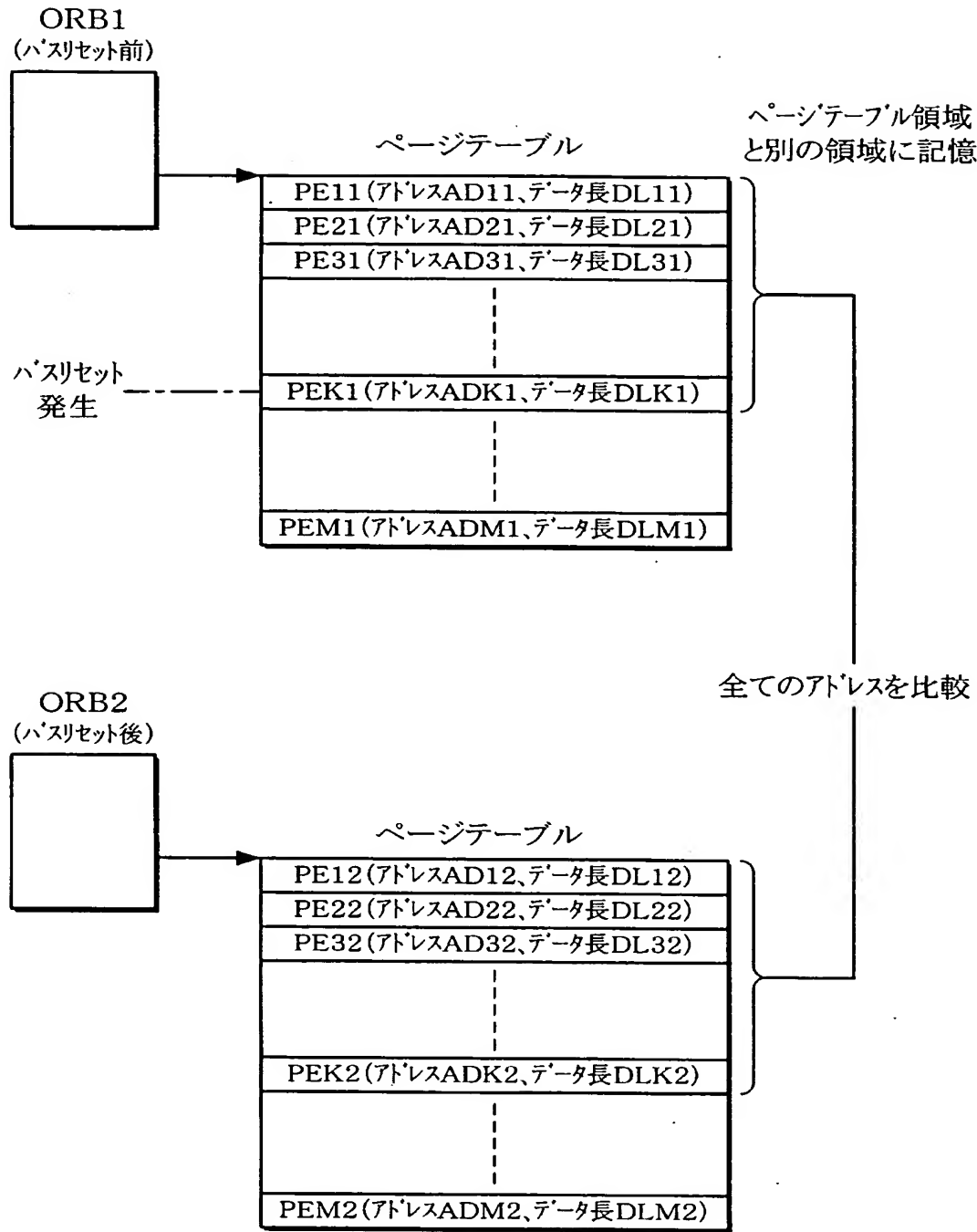
【図 15】



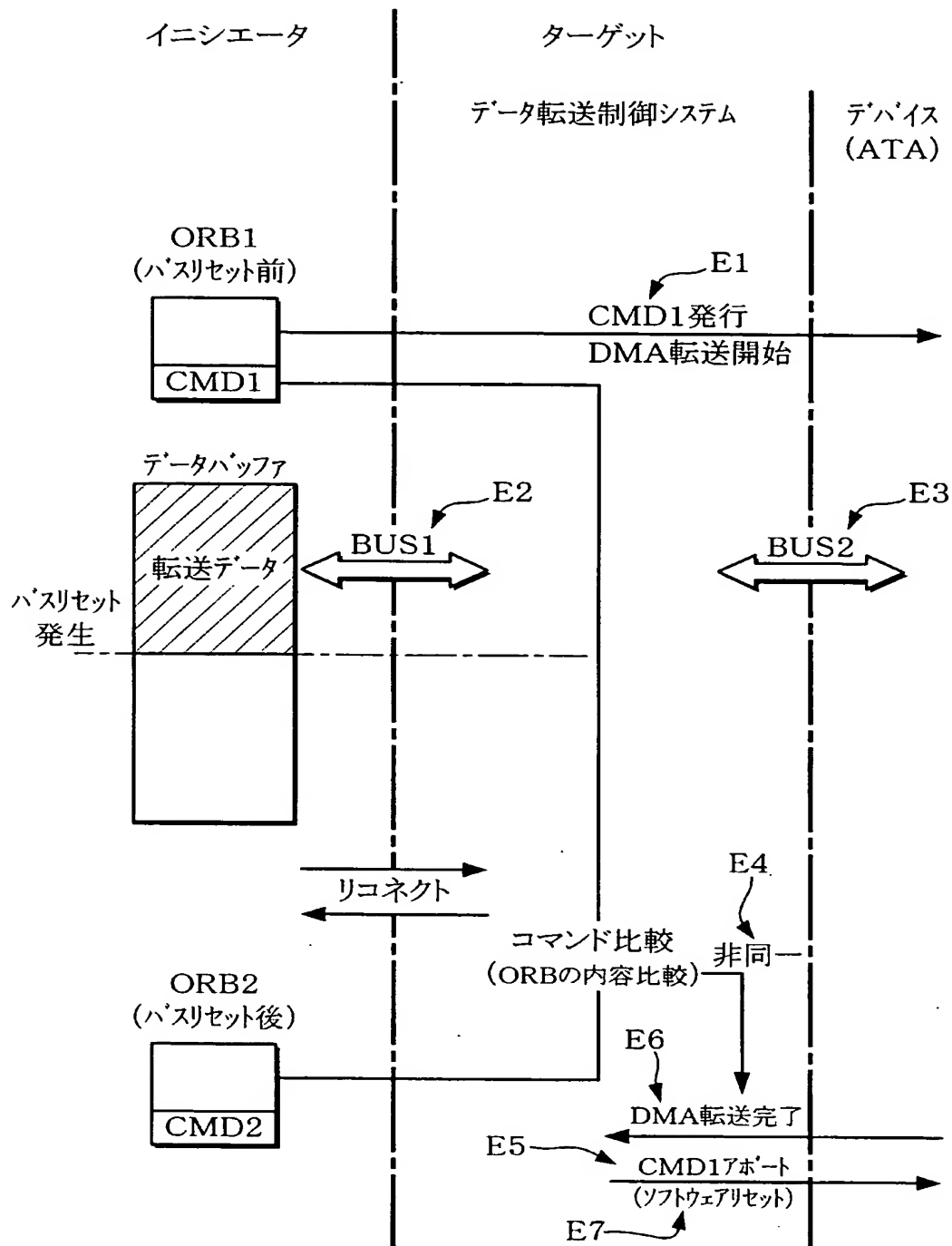
【図 16】



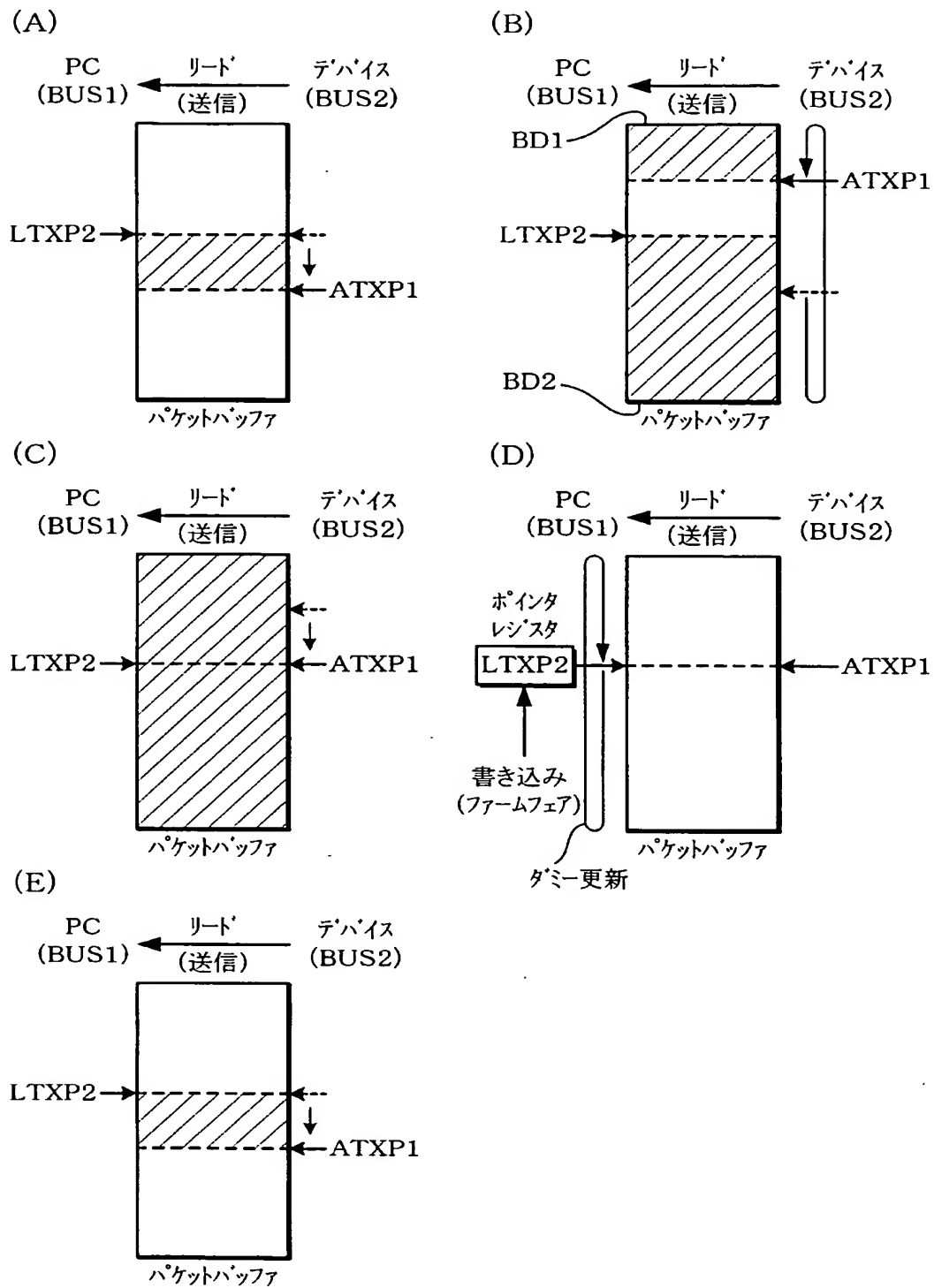
【図 17】



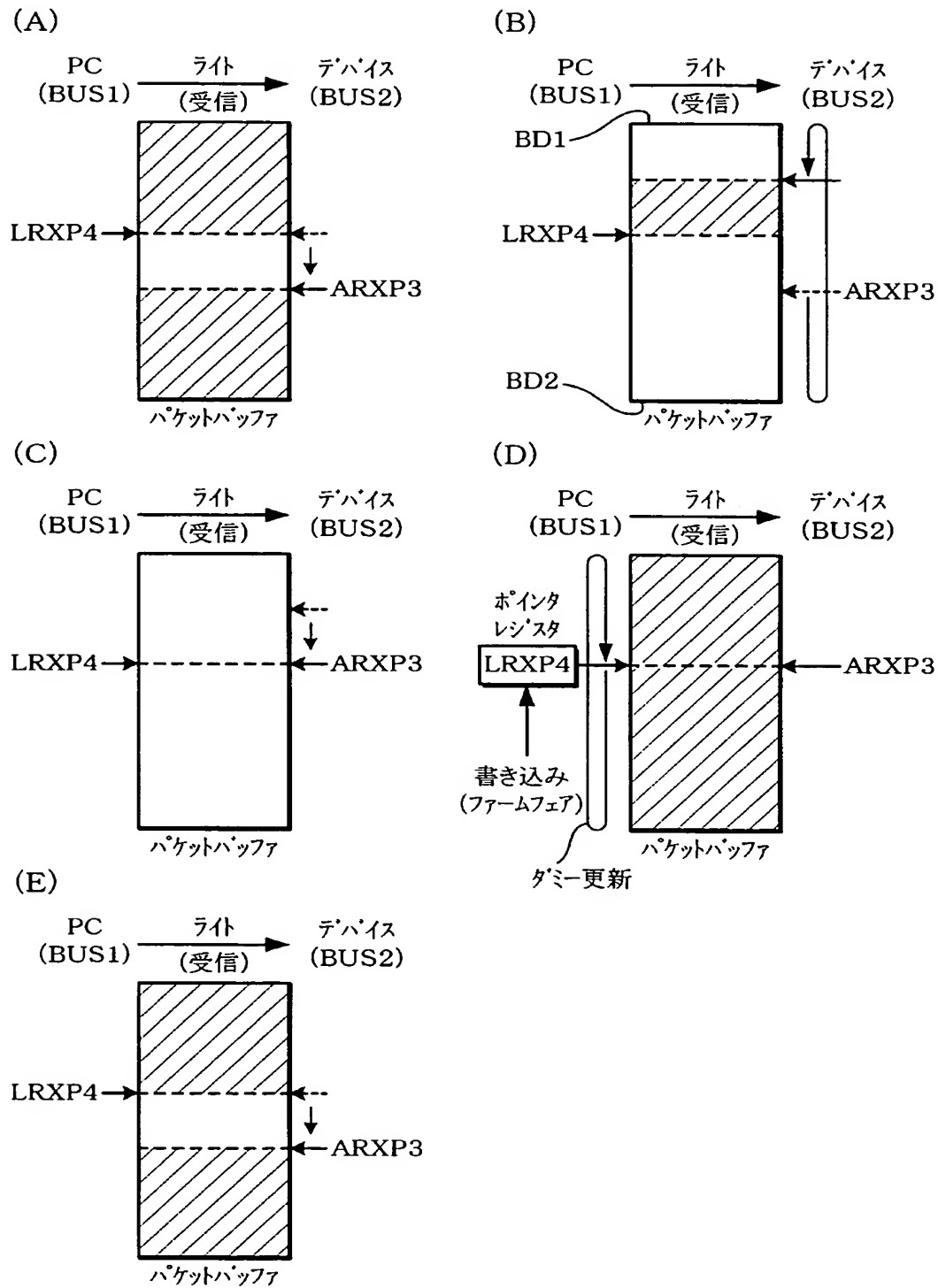
【図 18】



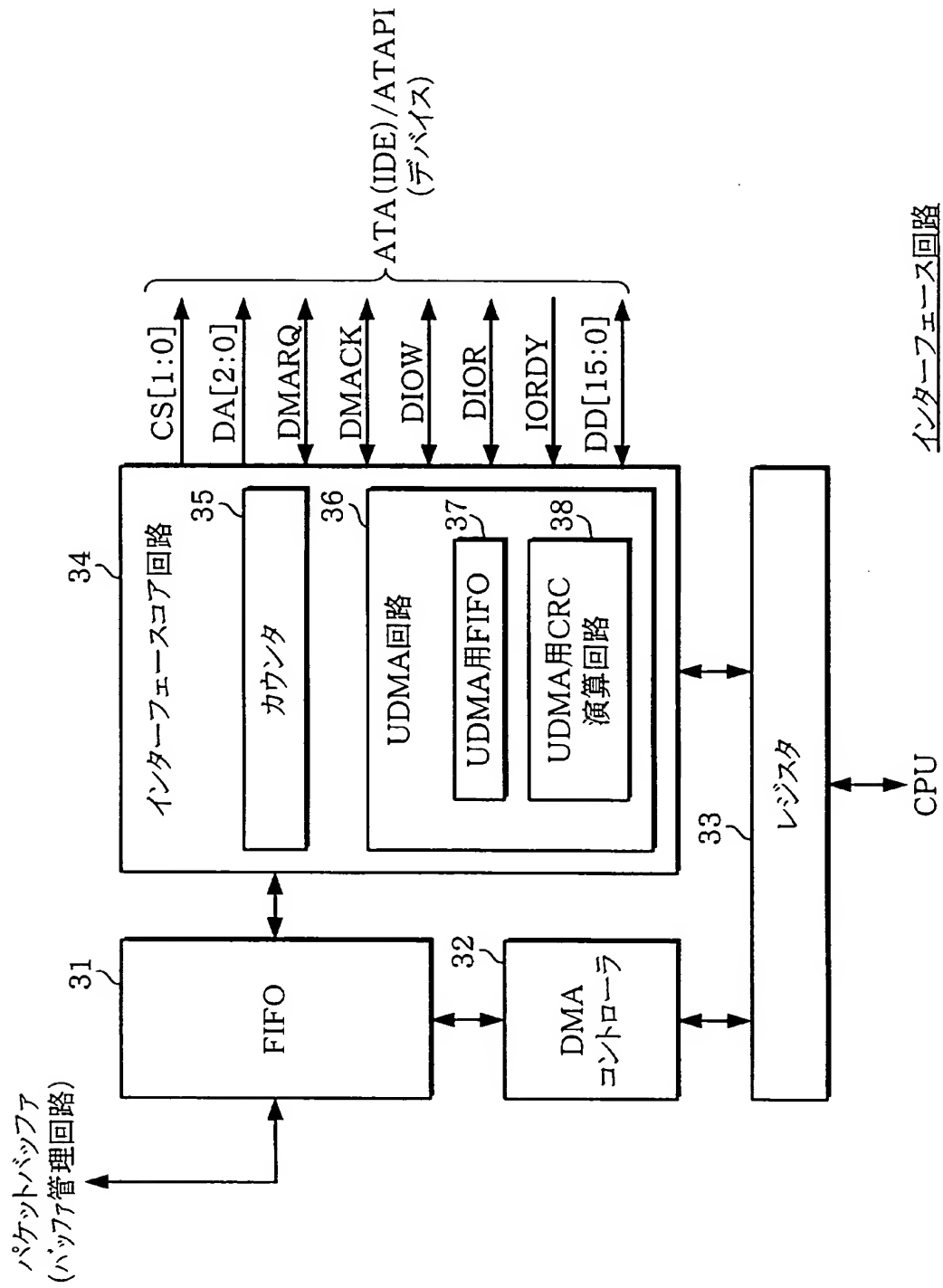
【図 19】



【図 20】

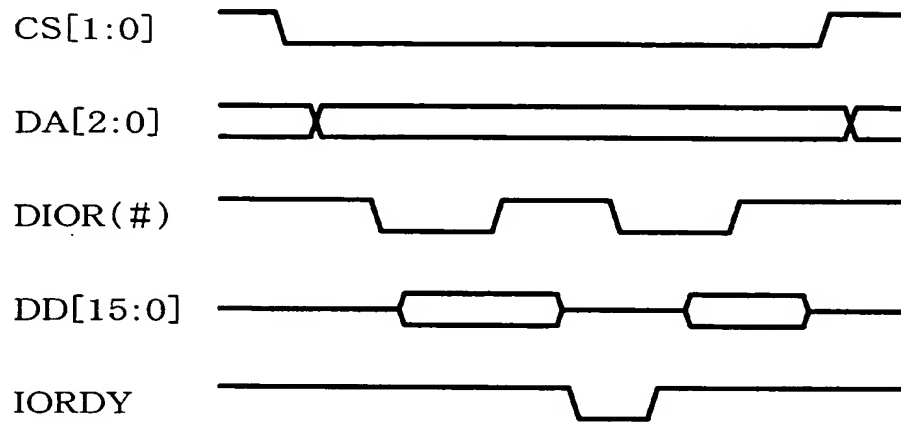


【図 21】

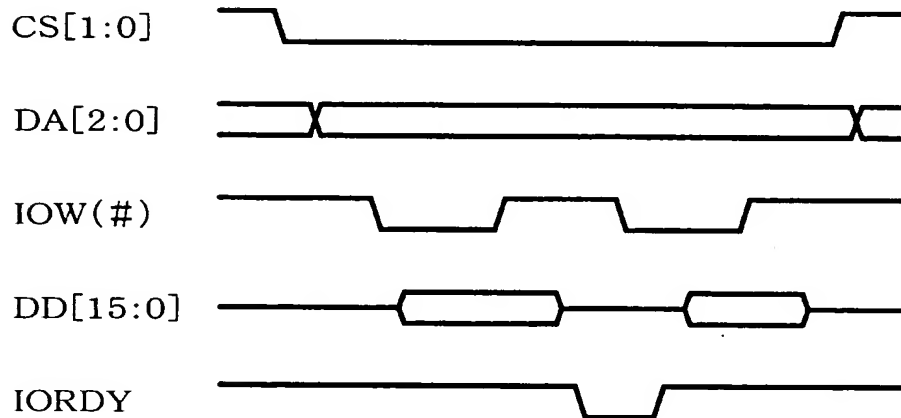


【図 2 2】

(A) PIOリード(デバイス→データ転送制御システム→PC)

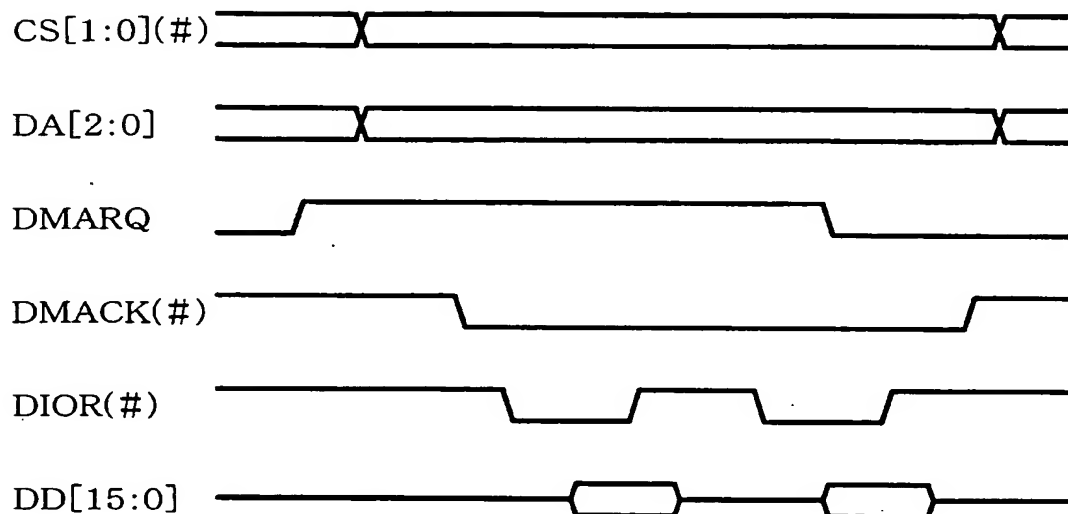


(B) PIOライト(PC→データ転送制御システム→デバイス)

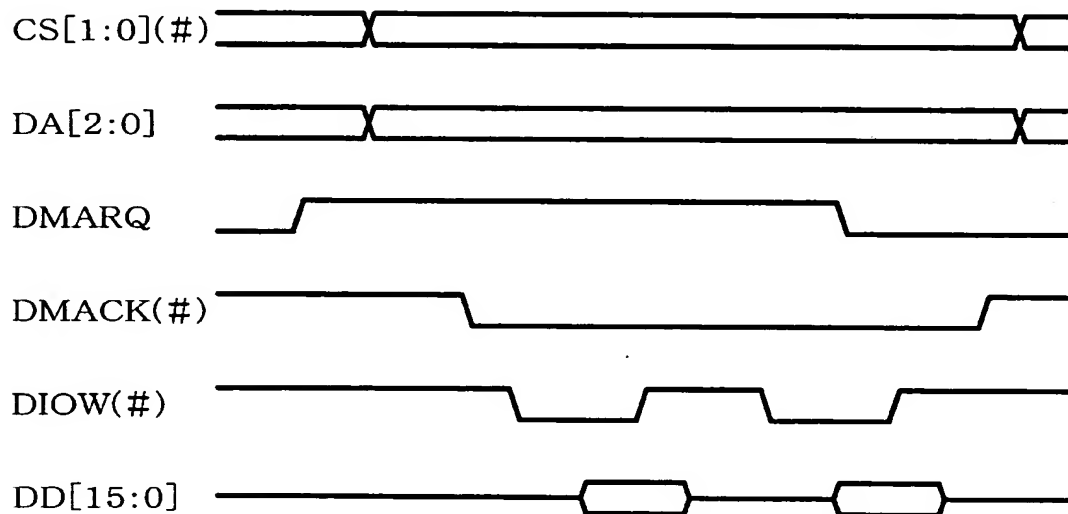


【図 23】

(A) DMAリード(デバイス→データ転送制御システム→PC)

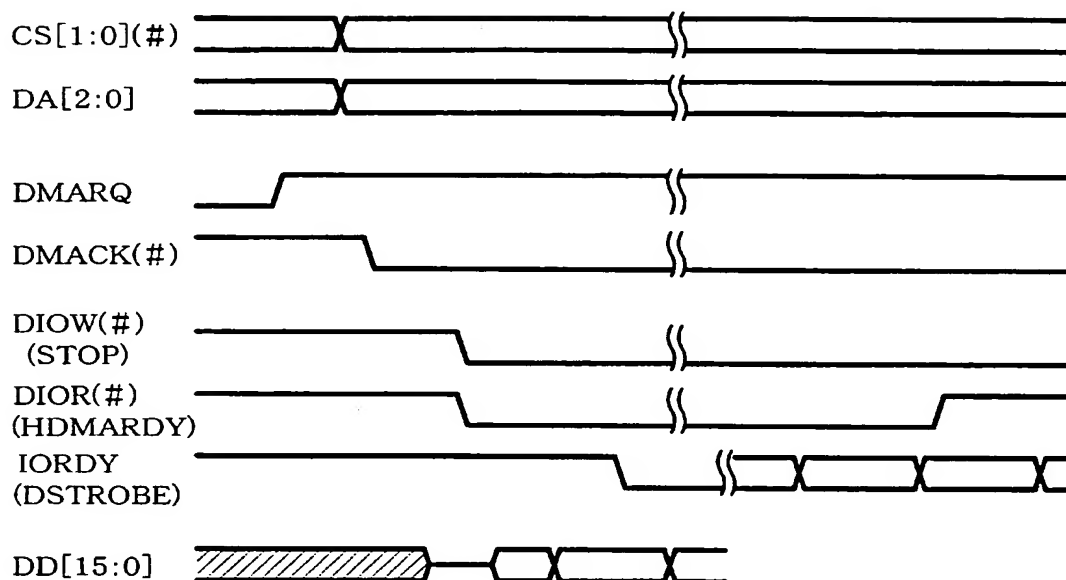


(B) DMAライト(PC→データ転送制御システム→デバイス)

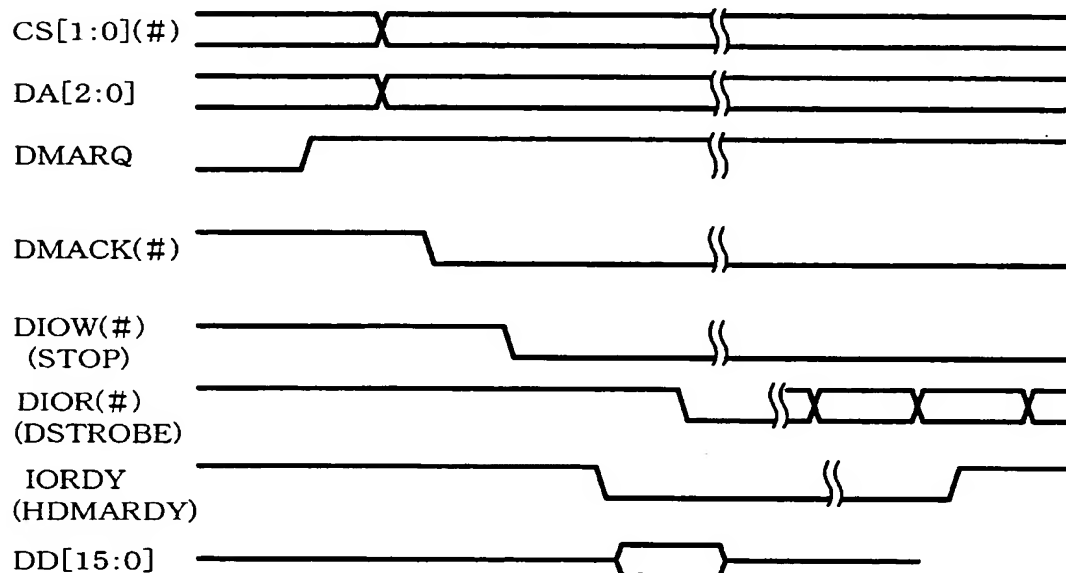


【図 24】

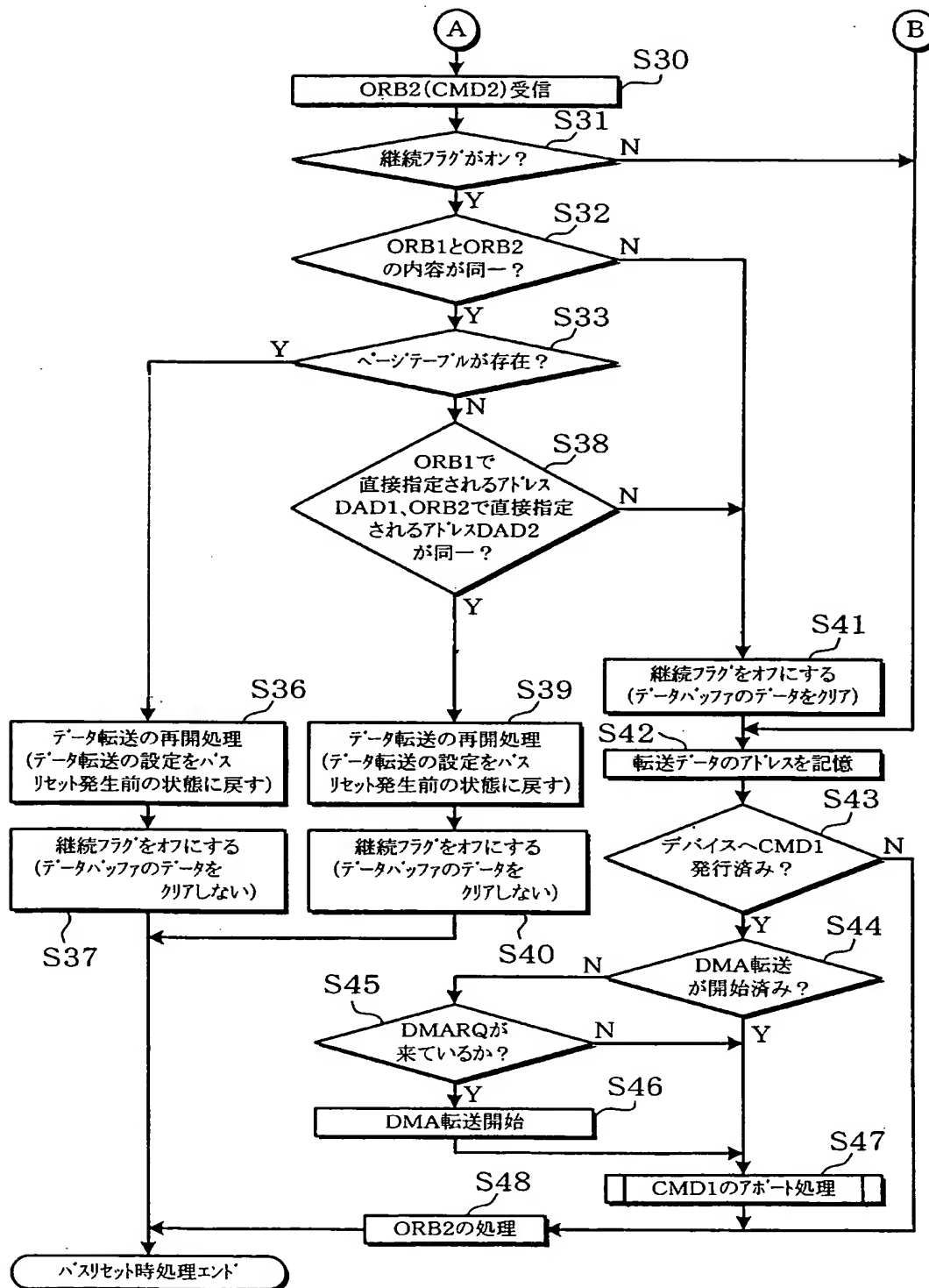
(A) Ultra-DMAリード(デバイス→データ転送制御システム→PC)



(B) Ultra-DMAライト(PC→データ転送制御システム→デバイス)



【図25】



【書類名】 要約書

【要約】

【課題】 バスリセット時の正常動作を、より確実に保証できるデータ転送制御システム、電子機器及びデータ転送制御方法を提供すること。

【解決手段】 O R B 1 で指定されるページテーブルのページテーブルエレメントのうち、バスリセット発生時に処理中であったページテーブルエレメント P E K 1 の格納アドレス A D K 1 を記憶する。そしてバスリセット発生後の O R B 2 のページテーブルエレメントのうち、P E K 1 と同一エレメント番号のページテーブルエレメント P E K 2 の格納アドレス A D K 2 を読み出し、A D K 1 と A D K 2 が同一の場合にデータ転送を再開する。ページテーブルが存在しない場合は O R B 1、O R B 2 により直接指定されるアドレス D A D 1、D A D 2 を比較する。データ転送の非再開時において既に O R B 1 のコマンド C M D 1 をデバイスに発行していた場合には C M D 1 をアボートする。

【選択図】 図 1 0

特願 2 0 0 3 - 0 4 7 3 6 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社